

MENU

SEARCH

# INDEX

## DETAIL

BACK

NEXT

3/10



**JAPANESE PATENT OFFICE**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10116989

(43)Date of publication of application: **06.05.1998**

(51)Int.Cl.

H01L 29/786

H01L 21/336

(21)Application number: 08252088

**(71)Applicant:**

SEIKO EPSON CORP

(22)Date of filing: 24.09.1996

(72)Inventor:

**MIYASAKA MITSUTOSHI**

(30)Priority

Priority number: 07244931 Priority date: 22.09.1995 Priority country: JP

**08220193**

**21.08.1996**

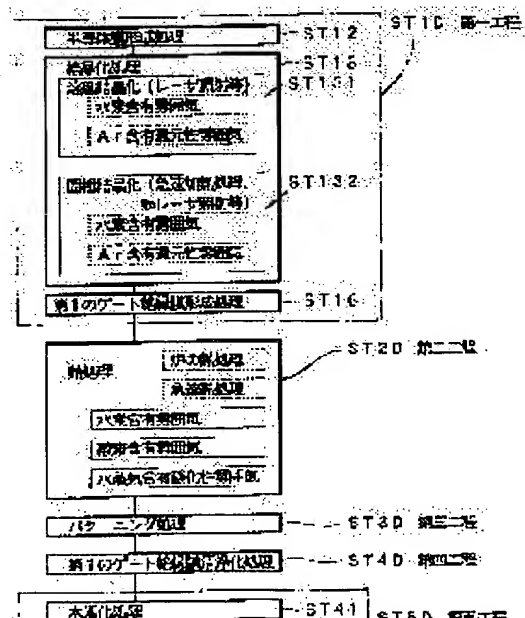
JP

(54) MANUFACTURE OF THIN FILM TRANSISTOR

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To form clean interface between a semiconductor film and a gate insulating film, and also, seek high quality of a semiconductor film or high quality of both the semiconductor film and the gate insulating film, and materialize the manufacture of a TFT high in yield and reliability.

**SOLUTION:** In the first stage ST1D, semiconductor film forming process ST12, crystallization process ST13, and first gate insulating film forming process ST16 are performed without exposing a substrate to air. In the second stage ST2D, quick heat treatment applied to the first gate insulating film and the semiconductor film. In the third stage, the first gate insulating film and the semiconductor film are patterned. In the fourth stage ST4D, the surface of the first gate insulating film contaminated by a resist



mask is cleaned by etching or the like. In the fifth stage ST5, hydrogenation treatment ST41 is applied, and then the second gate insulating film is made on the surface of the first gate insulating film.

---

#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

---

Copyright (C); 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[BACK](#)[NEXT](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-116989

(43) 公開日 平成10年(1998) 5月6日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 29/786  
21/336

識別記号

F I

H 0 1 L 29/78

6 2 7 B

6 1 7 S

6 2 7 F

6 2 7 C

6 2 7 E

審査請求 未請求 請求項の数58 O L (全 39 頁)

(21) 出願番号 特願平8-252088

(22) 出願日 平成8年(1996) 9月24日

(31) 優先権主張番号 特願平7-244931

(32) 優先日 平7(1995) 9月22日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平8-220193

(32) 優先日 平8(1996) 8月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 宮坂 光敏

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

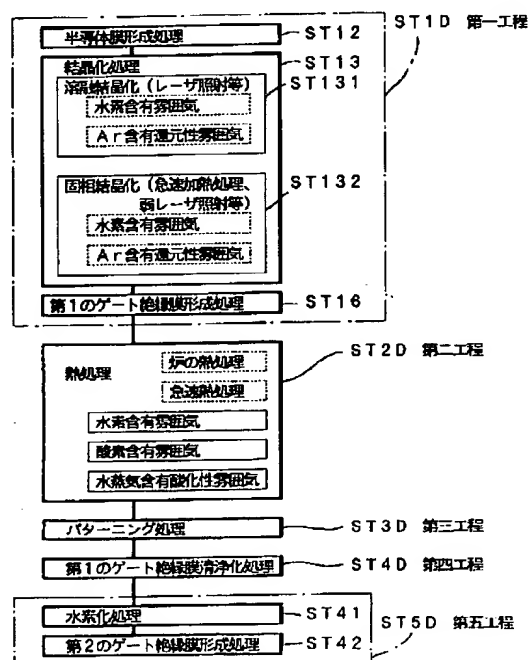
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【課題】 清浄な半導体膜/ゲート絶縁膜界面を形成すると共に、半導体膜の高品質化、或いは半導体膜及びゲート絶縁膜の双方の高品質化を図り、歩留り及び信頼性の高いT F Tの製造方法を実現する事。

【解決手段】 第一工程S T 1 Dでは基板を大気に晒す事なく半導体膜形成処理S T 1 2と結晶化処理S T 1 3及び第一ゲート絶縁膜形成処理S T 1 6を行う。第二工程S T 2 Dに於いて第一ゲート絶縁膜及び半導体膜に急速加熱処理を施す。第三工程S T 3 Dに於いて第一ゲート絶縁膜及び半導体膜をパターニングする。第四工程S T 4 Dではレジストマスクに依って汚染された第一ゲート絶縁膜の表面をエッチング等によって清浄化する。第五工程S T 5では水素化処理S T 4 1を施し、しかる後に第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する。



## 【特許請求の範囲】

【請求項1】 外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第三工程と、該第三工程終了後に前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜表面に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事の特徴とする薄膜トランジスタの製造方法。

【請求項2】 請求項1に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事の特徴とする薄膜トランジスタの製造方法。

【請求項3】 請求項1に於いて、前記第一工程で行う結晶化は熔融結晶化で有る事の特徴とする薄膜トランジスタの製造方法。

【請求項4】 請求項2又は3に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項5】 請求項2又は3に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項6】 請求項1乃至5のいずれかの項に於いて、前記第二工程を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項7】 請求項1乃至5のいずれかの項に於いて、前記第二工程を酸素含有雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項8】 請求項1乃至5のいずれかの項に於いて、前記第二工程を水蒸気含有酸性雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項9】 外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理を施し、該水素化処理を施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第三工程と、該第三工程終了後に前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜表面に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事の特徴とする薄膜トランジスタの製造方法。

【請求項10】 請求項9に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事の特徴とする薄膜トランジスタの製造方法。

【請求項11】 請求項9に於いて、前記第一工程で行う結晶化は熔融結晶化で有る事の特徴とする薄膜トランジスタの製造方法。

【請求項12】 請求項10又は11に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

10 【請求項13】 請求項10又は11に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項14】 請求項9乃至13のいずれかの項に於いて、前記第二工程を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項15】 請求項9乃至13のいずれかの項に於いて、前記第二工程を酸素含有雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

20 【請求項16】 請求項9乃至13のいずれかの項に於いて、前記第二工程を水蒸気含有酸性雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項17】 外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理と酸化処理とを施し、該水素化処理と該酸化処理とを施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、

30 該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターニングする第三工程と、該第三工程終了後に前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事の特徴とする薄膜トランジスタの製造方法。

【請求項18】 請求項17に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事の特徴とする薄膜トランジスタの製造方法。

40 【請求項19】 請求項17に於いて、前記第一工程で行う結晶化は熔融結晶化で有る事の特徴とする薄膜トランジスタの製造方法。

【請求項20】 請求項18又は19に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項21】 請求項18又は19に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

50 【請求項22】 請求項17乃至21のいずれかの項に

於いて、前記第二工程を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項23】 請求項17乃至21のいずれかの項に於いて、前記第二工程を酸素含有雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項24】 請求項17乃至21のいずれかの項に於いて、前記第二工程を水蒸気含有酸化性雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項25】 外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターンニングする第三工程と、該第三工程終了後に該第一ゲート絶縁膜の表面を清浄化する第四工程と、該第四工程終了後に直ちに前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第五工程とを少なくとも含む事を特徴とする薄膜トランジスタの製造方法。

【請求項26】 請求項25に於いて、前記第四工程は前記第一ゲート絶縁膜表面をエッチングする処理を含む事を特徴とする薄膜トランジスタの製造方法。

【請求項27】 請求項25又は26に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事を特徴とする薄膜トランジスタの製造方法。

【請求項28】 請求項25又は26に於いて、前記第一工程で行う結晶化は熔融結晶化で有る事を特徴とする薄膜トランジスタの製造方法。

【請求項29】 請求項27又は28に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項30】 請求項27又は28に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項31】 請求項25乃至30のいずれかの項に於いて、前記第二工程を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項32】 請求項25乃至30のいずれかの項に於いて、前記第二工程を酸素含有雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項33】 請求項25乃至30のいずれかの項に於いて、前記第二工程を水蒸気含有酸化性雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項34】 請求項1乃至33のいずれかの項に於いて、前記第二ゲート絶縁膜形成以降の全工程を350℃以下の温度条件で行う事の特徴とする薄膜トランジ

スタの製造方法。

【請求項35】 外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターンニングする第二工程と、該第二工程終了後に前記基板を酸化性雰囲気下で熱処理を行い、前記半導体膜表面に第二ゲート絶縁膜としての酸化膜を形成する第三工程とを少なくとも含む事を特徴とする薄膜トランジスタの製造方法。

【請求項36】 請求項35に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事を特徴とする薄膜トランジスタの製造方法。

【請求項37】 請求項35に於いて、前記第一工程で行う結晶化は熔融結晶化で有る事を特徴とする薄膜トランジスタの製造方法。

【請求項38】 請求項36又は37に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項39】 請求項36又は37に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項40】 外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターンニングする第三工程と、該第三工程終了後に前記基板を酸化性雰囲気下で熱処理を行い、前記半導体膜表面に第二ゲート絶縁膜としての酸化膜を形成する第四工程とを少なくとも含む事を特徴とする薄膜トランジスタの製造方法。

【請求項41】 請求項40に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事を特徴とする薄膜トランジスタの製造方法。

【請求項42】 請求項40に於いて、前記第一工程で行う結晶化は熔融結晶化で有る事を特徴とする薄膜トランジスタの製造方法。

【請求項43】 請求項41又は42に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項44】 請求項41又は42に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項45】 請求項40乃至44のいずれかの項に

10

20

30

40

50

於いて、前記第二工程を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項46】 請求項40乃至44のいずれかの項に於いて、前記第二工程を酸素含有雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項47】 請求項40乃至44のいずれかの項に於いて、前記第二工程を水蒸気含有酸化性雰囲気下で行う事の特徴とする薄膜トランジスタ製造方法。

【請求項48】 外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理及び酸化処理のうちの少なくとも一方の処理を施し、該処理を施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、

該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターンニングする第二工程と、

該第二工程終了後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第三工程とを少なくとも含む事の特徴とする薄膜トランジスタの製造方法。

【請求項49】 請求項48に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事の特徴とする薄膜トランジスタの製造方法。

【請求項50】 請求項48に於いて、前記第一工程で行う結晶化は熔融結晶化で有る事の特徴とする薄膜トランジスタの製造方法。

【請求項51】 請求項49又は50に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項52】 請求項49又は50に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項53】 外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理及び酸化処理のうちの少なくとも一方の処理を施し、該処理を施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、

該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターンニングする第二工程と、

該第二工程終了後に前記第一ゲート絶縁膜の表面を清浄化する第三工程と、

該第三工程終了後に前記第一ゲート絶縁膜の表面に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事の特徴とする薄膜トランジスタの製造方法。

【請求項54】 請求項53に於いて、前記第二工程は前記第一ゲート絶縁膜表面をエッチングする処理を含む

事の特徴とする薄膜トランジスタの製造方法。

【請求項55】 請求項53又は54に於いて、前記第一工程で行う結晶化はレーザー照射に依る結晶化で有る事の特徴とする薄膜トランジスタの製造方法。

【請求項56】 請求項53又は54に於いて、前記第一工程で行う結晶化は熔融結晶化で有る事の特徴とする薄膜トランジスタの製造方法。

【請求項57】 請求項55又は56に於いて、前記第一工程で行う結晶化を水素含有雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【請求項58】 請求項55又は56に於いて、前記第一工程で行う結晶化をアルゴンガス含有還元性雰囲気下で行う事の特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ（以下TFTと云う。）の製造方法に関する物で有る。更に詳しくは本発明は薄膜トランジスタを構成する各薄膜の最適化技術に関する物で有る。

【0002】

【従来の技術】液晶ディスプレイのアクティブ素子等として用いられる薄膜トランジスタ（TFT）としては、チャネル領域の表面側にゲート絶縁膜及びゲート電極が形成されて居るトップゲート構造の物が用いられる事が多い。斯様な構造のTFTの製造方法では図25（A）に示す様に基板10Aを準備した後、図25（B）に示す様に基板10Aの表面に下地保護膜11Aを形成し、続いて基板10Aの全面に真性のアモルファスシリコン膜からなる半導体膜12Aを形成する。次に図25

（C）に示す様にレーザーアニールによって半導体膜12Aを結晶化する。次に図26（A）に示す様に所定のマスクパターンのレジストマスク22Aを形成し、半導体膜12Aをフォトリソグラフィ技術を用いてパターンニングする。次に図26（B）に示す様にCVD法に依り半導体膜12Aの表面にシリコン酸化膜からなるゲート絶縁膜13Aを形成する。次に図26（C）に示す様に基板10Aの全面にタンタル薄膜等の導電膜21Aをスパッタ法等に依り形成した後、図26（D）に示す様にフォトリソグラフィ技術を用いて導電膜21Aをパターンニングし、ゲート電極15Aを形成する。次にゲート電極15Aをマスクとして半導体膜12Aに不純物イオンを導入する。その結果、半導体膜12Aにはゲート電極15Aに対して自己整合的にソース・ドレイン領域16Aが形成され、不純物イオンが導入されなかった部分はチャネル領域17Aと成る。次に図26（E）に示す様にシリコン酸化膜からなる層間絶縁膜18Aを形成し、しかる後にコンタクトホール19Aを介してソース・ドレイン領域16Aに導電接続するソース・ドレイン電極20Aを形成する。この様にして基板10Aの表面にTFT30Aを形成する。斯様な製造方法では、従来一つ

の工程が終了する度に基板10Aは大気中に置かれる。

【0003】

【発明が解決しようとする課題】しかしながら従来の製造方法の様に半導体膜12Aのアニール処理を行った後に基板10Aを大気中に置くと、結晶化した半導体膜12Aの表面がガス種との反応に依って酸化されたり、レジスト等の炭化水素その他の汚染物質に依って汚染されて仕舞う。この様にして酸化や汚染を受けた半導体膜10Aの表面にゲート絶縁膜13Aを形成すると、チャンネル領域17A／ゲート絶縁膜13Aの界面状態が悪く、TFT30Aのオン電流や閾値電圧等と云った電気的特性が低下すると云う問題点がある。又レーザー照射等の結晶化の前に基板10Aを大気中に置いた事に起因して半導体膜10Aの表面に自然酸化膜が形成されて仕舞うと、結晶化時に酸素原子が半導体膜10A中に取り込まれ、半導体膜10Aの電気伝導度が大きくばらついた

り、TFT30Aのオン電流特性等と云った電気的特性が低下すると云う問題点がある。

【0004】斯様な問題点を解消する方法として、半導体膜を大気に晒す事なくTFTを製造する方法が特開平7-99321号公報に開示されて居る。この公報に於いて第2実施例として開示されて居る方法では、図27(A)に示す様に基板10Bを準備した後、その表面にリンドープの半導体膜を形成する。それを図27(B)に示す様にパターニングし、島状の半導体膜25Bを形成する。次に基板10BをTFT製造装置に入れて、図27(C)に示す様にCVD法に依り真空中でアモルファスシリコンからなる半導体膜12Bを形成する。次に図27(D)に示す様に真空中で基板10Bにレーザーアニールを行う。その結果チャンネル17Bと成るべき部分を除いて半導体膜12Bにリングがドープされ、ソース・ドレイン領域16Bが形成される。次に図27(E)に示す様に真空中で基板10BにCVD法に依りシリコン酸化膜からなるゲート絶縁膜13Bを形成し、しかる後に基板10BをTFT製造装置から取り出す。この時半導体膜12Bの表面は既にゲート絶縁膜13Bで覆われて居る。

【0005】それ以降図27(F)に示す様にゲート絶縁膜13B及び半導体膜12Bをフォトリソグラフィ技術に依りパターニングした後、図28(A)に示す様にコンタクトホール19Bを形成する。そしてその表面全体にアルミニウム等の導電膜21Bを形成した後、図28(B)に示す様に再びフォトリソグラフィ技術に依ってパターニングし、ゲート電極15Bを形成する。次に図28(C)に示す様に層間絶縁膜18Bを形成した後、図28(D)に示す様にコンタクトホール26Bを形成する。しかる後にその表面全体にアルミニウム等の導電膜を形成した後、図28(E)に示す様に導電膜をフォトリソグラフィ技術に依ってパターニングし、ソース・ドレイン電極20Bを形成する。

【0006】しかしながらこの方法では図27(F)に示す様に半導体膜12Bとゲート絶縁膜13Bを同時にパターニングしたままで有る。その結果、図28(A)や図28(B)に示す様に次工程で基板10Bの表面全体に形成した導電膜21Bをパターニングしてゲート電極15Bを形成する時、パターニング後にソース・ドレイン領域16Bの側面部に導電膜21Bが残留する事と成る。これに依りソース・ドレイン間やソース・ゲート間、ドレイン・ゲート間の短絡が頻発する様に成る。更には同じ基板10B上の他のTFTとショートして仕舞うと云う問題点がある。即ち従来の製造方法ではTFTの歩留りが著しく低いと云う問題点がある。

【0007】然もこの従来技術では、図27(D)に示す工程に於いて半導体膜25B上に形成されたシリコン酸化物やレジスト等に依る汚染物がレーザー溶融時に半導体膜中(主として、ソース・ドレイン領域中)に取り込まれて仕舞う。これらの不純物は半導体膜中での欠陥と化し、オフリーク電流を増大させたり、閾値電圧を変動させる原因と成る。更に半導体膜12Bが形成される前の基板10Bの表面はソース・ドレイン形成用のフォトリソグラフィ工程に依り汚染されて居る。これらの汚染物は結晶化の際にチャンネル領域17Bに混入し、半導体膜の膜質を低下させる。即ちこの従来技術ではオン電流は基板表面からの汚染に依り制限されると共に、オフ電流はソース・ドレイン領域の酸素(シリコン酸化物)と汚染に依り大きく成る為、オン・オフ電流比の大きな品質の高い薄膜半導体装置を作り得ないので有る。

【0008】更にこの従来技術ではCVD法に依り形成したゲート絶縁膜13Bをその儘用いて居る為、ゲート絶縁膜の膜質が悪くてゲート・ソース間の耐電圧が低い等の課題が認められる。この様にTFTの電気特性が優れなかったり、同時に歩留りや信頼性が低いと云う問題点がある。加えてCVD法に依り形成した半導体膜12Bに対して、図27(D)に示す様にレーザーアニールを行うだけで有る為、半導体膜中に大きなストレスが残留し、その結果トランジスタ特性が低下して居るとの問題点がある。

【0009】以上の問題点に鑑みて、本発明の課題は基板の状態から半導体膜の表面をゲート絶縁膜で覆う迄の一切の工程を基板を大気に晒す事なく行い、且つ半導体膜表面のレジストに依る汚染を防止する事に依って清浄な半導体膜／ゲート絶縁膜界面を形成すると共に、半導体膜の高品質化、又は半導体膜及びゲート絶縁膜双方の高品質化を図る事に依り歩留り及び信頼性の高いTFTの製造方法を提供する事に有る。

【0010】

【課題を解決するための手段】TFTの製造方法には数分間以上に渡り基板全体が同時に達する工程最高温度が600℃程度以下で有る低温プロセスと、数分間以上に渡って基板全体が同時に達する工程最高温度が800℃

程度以上の高温プロセスとの二者に主として分類される。低温プロセスではゲート絶縁膜はCVD法やPVD法などで形成されるのに対し、高温プロセスでは熱酸化法や高温酸化法（HTO法）などで形成され、更に必要に応じて700℃程度から1200℃程度の温度で数分から数時間の熱処理が施される。本発明の第1乃至第4形態と第7及び第8形態は低温プロセスと高温プロセスの両者に適応可能で有るが、清浄な半導体膜／ゲート絶縁膜界面（MOS界面）を低温で形成する意味で主として低温プロセスに関する。本発明の第5形態と第6形態は高温プロセスに関する。

【0011】[第1形態]本発明の第1形態に係るTF Tの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターンニングする第三工程と、該第三工程終了後に前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事の特徴とする。

【0012】本発明では第一工程に於いて、半導体膜を形成してから第一ゲート絶縁膜を形成する迄は基板を大気に晒されないで、結晶化した半導体膜の表面には空気や塵との反応に依る汚れた自然酸化膜の形成がない。同時に半導体膜をパターンニングする前に第一ゲート絶縁膜を形成して置くので、レジストマスクは第一ゲート絶縁膜の表面に形成され、半導体膜の表面には形成されない。この為チャンネル領域／ゲート絶縁膜の界面はフォトリソ等の炭化水素化合物その他の物質による汚染が全く無く、窮めて清浄で良好なMOS界面を得る事と成る。これが故、TF Tのオン電流や閾値電圧等と云った電気的特性が向上するので有る。

【0013】第二工程では第一ゲート絶縁膜及び結晶化された半導体膜に熱処理を施す。この熱処理を行う前の半導体膜では各半導体原子が正規の格子点から僅かにずれて居たり、結晶化に伴う応力が強く残留して居る。斯様な微小なずれや残留応力は第二工程の熱処理で補正される。即ち第一工程で行ったレーザー照射や溶融結晶化、急速熱処理等の結晶化の際に生じた半導体膜の内部応力（ストレス）を第二工程にて開放すると同時に更に結晶化を進め、結晶の完全性をより高めるので有る。併せて結晶粒と結晶粒との間に僅かに存在する非結晶部分を結晶化したり、或いは不規則粒界を各種の対応粒界へと改善する。対応粒界とは粒界が二次元の周期性を有し、ダングリグ・ボンドが再構成されて居る為、バンドギャップ中に深い準位を有して居ない。それ故電子や

ホールの対応粒界での散乱確率が大幅に減少して電氣的に良質な界面が形成されるので有る。又微小結晶は再結晶化して大きな結晶に成長し、結晶粒界をより一層低減させる。この様に第二工程の熱処理に依りストレス開放や粒界の結晶化や対応粒界化、或いは更なる再結晶化が進み、非常に良質な半導体膜が得られるので有る。

【0014】加えて第二工程で行う熱処理に依り第一ゲート絶縁膜も高品質化する。即ちCVD法等で形成された低密度で不安定な第一ゲート絶縁膜は第二工程の熱処理に依り緻密化し、且つ熱処理後のシリコン等の半導体原子と酸素原子との結合状態を安定で強固な物とする。図29に示す様にCVD法やPVD法等の低温で形成された酸化膜に於けるシリコン原子等と酸素原子との間の弱くて不安定な化学結合は第二工程の熱処理に依って強くて安定な化学結合に改善されるので有る。又熱処理前後の酸化膜のフラットバンドを図30に示す様に第一ゲート絶縁膜の禁制帯（バンドギャップ）中の電子やホールに対するトラップ準位を低減する。斯様な第一ゲート絶縁膜の高品質化に依り絶縁膜への電子やホールの注入が激減し、TF Tの使用途中に於ける劣化が減る等、TF Tの信頼性が著しく向上する。又半導体膜のドレイン端での電子やホールの絶縁膜への注入が起こりにくい分、TF Tの劣化がないので、短チャネル化が可能で有る。更に絶縁耐圧も向上してTF Tの安定性がより一層増す訳で有る。

【0015】ここで行う熱処理としては炉内での熱処理でも良いが、急速加熱処理（RTA）とすれば更に好ましい。炉内での熱処理は400℃～600℃程度の温度で1時間程度から10時間程度の時間を費やすのに対し、RTAでは700℃程度から1000℃程度の温度にて0.1秒程度から1分程度未満の時間で熱処理を達成する。この様にRTAでは炉内の熱処理に比べてより高温と成る為、上記熱処理の効果は更に向上する。又スループット（基板一枚に対する処理時間）も窮めて良好で有る。

【0016】RTAでは光エネルギーをまず半導体膜が吸収し、半導体膜の温度が上昇する。次いで第一ゲート絶縁膜が下層に位置する半導体膜からの熱を受けて温度上昇し、半導体膜と第一ゲート絶縁膜の熱処理が完了する。通常透明基板の温度上昇は小さい為、もしも半導体膜の加工が行われて居れば半導体膜が密に残って居る部分のみが集中して加熱され、基板全体の均一な熱処理が行い得ない。しかるに本願発明では第二工程の熱処理を半導体膜やゲート絶縁膜のパターンニング前に行うが故、両者に対する熱処理を基板全体に渡り均一に達成し得るので有る。

【0017】第四工程では第一ゲート絶縁膜に水素化処理を行い、しかる後に第二ゲート絶縁膜を形成する。半導体膜と第一ゲート絶縁膜は第二工程の熱処理で加熱された際に薄膜内やMOS界面に内包する水素を放出して



仕舞い劣化して居る事が有る。しかしながら斯様な劣化は第四工程の水素化処理に依って修復されるので有る。然も第一ゲート絶縁膜及び半導体膜をパターンニングした後に第二ゲート絶縁膜を形成して半導体膜の側面を覆うので、ゲート電極と半導体膜間やソース領域とドレイン領域間、或いは素子間等のショートが発生しない。それ故本発明に依れば歩留り及び信頼性が高い。

【0018】本発明に於いて第一工程で行う結晶化は例えばレーザー照射等に依る熔融結晶化、又は急速加熱処理と云った結晶化で有る。斯様な結晶化処理は水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましい。半導体膜の結晶化に際しては、言う迄もなく半導体原子間結合の切断と再結合が生じる。また再結合した後も必ず不對電子対（ダングリング・ボンド）が発生する。半導体原子間の結合が切れて居る状態や不對電子対は化学的に非常に活性で有る。従って斯様な時に酸素や水、或いは一酸化炭素や二酸化炭素、塵、埃等が半導体膜に接すると、これらの物質は不純物として半導体膜に取り込まれて仕舞う。純水素雰囲気下やヘリウム、窒素、アルゴン等の不活性気体中に水素を含有する雰囲気下で結晶化を行うと、化学的に活性な電子対は水素に依り終端化され、前述の半導体膜内への不純物混入は避けられ、高純度・高品質の結晶化半導体膜が得られるので有る。

【0019】レーザー照射等に依る熔融結晶化を行う場合に於ける雰囲気は、アルゴン気体中に水素やモノシラン（ $\text{SiH}_4$ ）等の還元性気体を含む状態が好ましい。熔融結晶化では半導体原子は容易に飛散したり、或いは結晶化された半導体膜表面が粗れたりする。こうした現象はアルゴンなどの比較的原子量の大きい物質中で熔融結晶化させると最小限に止められる。これは原子量が大きい物質が熔融して居る半導体膜表面を押さえつける役割を担って居るからで有る。更にアルゴン中に希釈された水素やシラン等の還元性気体は結晶化過程の化学活性種を終端化して高純度の結晶化膜をもたらす。

【0020】本発明では前記第二工程を水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。水素ガス雰囲気中での加熱処理を施せば半導体膜中や第一ゲート絶縁膜中、或いはMOS界面に存在するダングリング・ボンドを終端化する事が出来る。酸素ガス雰囲気中で熱処理を施せば第一ゲート絶縁膜に含まれる未結合のシリコン原子等を酸素と結合させ、絶縁膜の改質を行う事が出来る。水蒸気含有酸化性雰囲気下で熱処理を施すと、酸素中での熱処理と同様に酸化膜の酸化度を高める（ $\text{SiO}_x$ の $x$ の値を2に近づける）と同時に、 $\text{Si}-\text{O}-\text{Si}$ の化学結合の改善や絶縁膜中のトラップ準位の低減をより効果的に行い、第一ゲート絶縁膜の品質は更に良好な物と成る。

【0021】〔第2形態〕本発明の第2形態に係るTF

Tの製造方法の第一工程に於いて半導体膜の結晶化を行った後、第一ゲート絶縁膜を形成する前に半導体膜に対して水素化処理を行う事に特徴を有する。即ち本発明の第2形態に係るTF Tの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理を施し、該水素化処理を施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターンニングする第三工程と、該第三工程終了後に前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事を特徴とする。

【0022】この様に結晶化直後に水素化処理を行うと半導体膜の化学的に活性な表面や粒界を水素で終端化し安定化する事が出来る。本願発明では結晶化の後に基板を大気に晒す事なく水素化処理を行うので、半導体膜の表面に自然酸化膜が形成されていない。従って水素化処理を行う時には自然酸化膜の影響を受けず、均一に水素化処理がなされるので有る。従来半導体膜の水素化処理に数時間にも及ぶ長時間が費やされるのは絶縁膜中で水素の拡散が遅いが故で有る。しかるに本願発明では半導体膜を直接水素化出来るので、その処理時間も半導体膜の膜厚や結晶化度に応じて10秒程度から5分程度へと短縮されるので有る。こうして極短時間の水素化処理にも拘らず、半導体膜の電気伝導度は著しく安定し、その結果TF Tのオン電流やオフ電流等と云った電気的特性が向上するので有る。

【0023】本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る熔融結晶化や急速加熱処理と云った固相での結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのは先に説明した通りで有る。

【0024】本発明でも前記第二工程を水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。この点に関しても先に説明した通りで有る。

【0025】〔第3形態〕本発明の第3形態に係るTF Tの製造方法では、上記の本発明の第2形態に係るTF Tの製造方法の第一工程に於いて水素化処理に加えて酸素化処理も行う事に特徴を有する。即ち本発明の第3形態に係るTF Tの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理と酸化処理とをこの順

番で連続して施し、該水素化処理と該酸化処理とを施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をバターンニングする第三工程と、該第三工程終了後に前記基板に水素化処理を施し、しかる後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事の特徴とする。

【0026】結晶化半導体膜中の不対結合対は水素で終端化される物と水素では終端化され得ない物との二種類が存在する。水素で終端化され得ぬ不対電子対は本願発明では酸素に依り終端化され、サブスレッショールド特性（トランジスタのオン・オフ特性）が急峻な良好な半導体装置が得られるので有る。この現象は取り分けMOS界面で効果的に働く。効果的な酸化処理が施されれば半導体表面に20オングストローム程度から300オングストローム程度の薄くて高品質な酸化膜が容易に形成され、清浄なMOS界面が得られる。活性表面が出た半導体膜は酸素との反応も早く、酸化処理時間は10秒程度から5分程度と短時間で言い得る。酸化処理は酸素プラズマ照射、水プラズマ照射、水含有酸素プラズマ照射、過酸化水素（ $H_2O_2$ ）プラズマ照射、過酸化水素含有酸素プラズマ照射、オゾン（ $O_3$ ）照射等で行われる。

【0027】本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る熔融結晶化や急速加熱処理と云った固相結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのは先に説明した通りで有る。

【0028】本発明でも前記第二工程を水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。この点に関しても先に説明した通りで有る。

【0029】[第4形態] 本発明の第4形態に係るTFTの製造方法では、半導体膜をバターンニングした時に用いたレジストマスクに依って汚染された第一ゲート絶縁膜表面を清浄化する事に特徴を有する。即ち本発明の第4形態に係るTFTの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をバターンニングする第三工程と、該第三工程終了後に該第一ゲート絶縁膜の表面を清浄化する第四工程と、該第四工程終了後に直ちに前記基板に水素化処理を施し、

しかる後に前記第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する第五工程とを少なくとも含む事の特徴とする。

【0030】この様に構成すると半導体膜と第一ゲート絶縁膜をバターンニングする時に用いたレジストマスクが第一ゲート絶縁膜表面を汚染するものの、その汚染部を第二ゲート絶縁膜を形成する前に清浄化するので、ゲート絶縁膜の汚染が最小限に止められる。これに依りゲート絶縁膜中の固定電荷が減少し、トランジスタの閾値電圧がロット間を通じて安定と化す。更にトランジスタの長時間の連続使用に対しても特性変化が小さくなり、トランジスタの信頼性が著しく改善される。加えてゲート絶縁膜の絶縁耐圧も大きくなるので、信頼性が増すと共にゲート絶縁膜の薄膜化が可能と成る。本発明の第1形態の第二工程の節では本願発明に依りTFTの短チャネル化が可能で有る事を説明した。これとゲート絶縁膜の薄膜化を合わせると、LSIテクノロジーと同様なスケールリング則をTFT素子に適用出来る様に成る。本願発明にLDD構造を適用するとチャネル長が0.5 $\mu m$ 程度から1 $\mu m$ 程度、ゲート絶縁膜が100オングストローム程度から300オングストローム程度のサブミクロンTFTが実現される。

【0031】本発明では前記第四工程に於いて第一ゲート絶縁膜の表面を清浄化する処理は例えば第一ゲート絶縁膜表面をフッ化水素酸（HF）を含む水溶液等のウェット・エッチング処理や水素、 $CHF_3$ 、 $NF_3$ 、SF<sub>6</sub>等のプラズマを用いてエッチングするドライ・エッチング処理等を含む。

【0032】この様に構成するとレジストマスクに依って汚染された第一ゲート絶縁膜の表面層のみを除去し、残った清浄な第一ゲート絶縁膜が半導体膜を保護して居るので、半導体膜はこの間も大気には晒されない。こうしてMOS界面は清浄に保たれ、高品質な第一ゲート絶縁膜上に第二ゲート絶縁膜が形成されるので、TFTの電気的特性が安定する。

【0033】本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る熔融結晶化や急速加熱処理と云った結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのは先に説明した通りで有る。

【0034】本発明でも前記第二工程を水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。この点に関しても先に説明した通りで有る。

【0035】本発明の第1乃至第4形態に係る製造方法では第2ゲート絶縁膜を形成した以降の全工程を350℃程度以下の温度条件で行う事が好ましい。こうすると第二ゲート絶縁膜形成直前に水素化された半導体膜や第一ゲート絶縁膜、並びに第二ゲート絶縁膜は高温に晒されないで、これら膜内や界面に内包する水素は放出さ

れず、水素放出に伴うTFT素子の劣化を防止出来るのである。

【0036】〔第5形態〕本発明の第5形態に係るTFTの製造方法は高温プロセスを用いる事に特徴を有する。即ち本発明の第5形態に係るTFTの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターンニングする第二工程と、該第二工程終了後に前記基板を酸化性雰囲気下で熱処理を行い、前記半導体膜表面に第二ゲート絶縁膜としての酸化膜を形成する第三工程とを少なくとも含む事を特徴とする。

【0037】本発明でも第一工程に於いて半導体膜を形成した後、第一ゲート絶縁膜を形成する迄は基板を大気に晒さないで、結晶化された半導体膜の表面には空気や埃との反応に依る汚れた自然酸化膜の形成がない。同時に半導体膜をパターンニングする前に第一ゲート絶縁膜を形成して置くので、レジストマスクは第一ゲート絶縁膜の表面に形成され、半導体膜の表面には形成されない。この為第三工程で半導体膜表面に酸化膜を形成した後のゲート絶縁膜中には炭化物等の不純物は全く存在せず、高純度のゲート絶縁膜が形成される。こうしてTFTのオン電流や閾値電圧等と云った電気的特性が向上する。

【0038】本発明では第三工程に於いて、半導体膜表面に第二ゲート絶縁膜としての酸化膜を形成する際に900℃程度から1200℃程度の熱処理を行う為、第一工程で結晶化された半導体膜からストレスが開放される等の半導体膜の改質が進められる。これは本発明の第1形態の第二工程で説明したストレス開放や粒界の結晶化、対応粒界化、再結晶化が進む事を意味して居る。第5形態ではより高温で長時間で有る事から、その効果も遥かに大きい。本発明の第5形態では第一工程で得られた高品質半導体膜の膜質を第三工程で更に著しく向上させる為、窮めて良質の半導体膜を得る事が出来る。併せて第一ゲート絶縁膜が緻密化する等、第一ゲート絶縁膜の膜質が向上するので、それを用いて製造したTFTは信頼性が高い。この辺の事情は本発明の第1形態の第二工程の節で説明したのと同様で有る。又本発明では第一ゲート絶縁膜及び半導体膜をパターンニングした後に熱酸化法に依り第二ゲート絶縁膜を形成して半導体膜の側面を完全に覆うので、先に説明した各種のショートが発生しない。それ故本発明に依れば歩留り及び信頼性が高い。

【0039】本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る熔融結晶化や急速加熱処理と云った結晶化で有る。斯様な結晶化処理を水素含有雰囲気下

やアルゴンガス含有還元性雰囲気下で行う事が好ましいのも先に説明した通りで有る。

【0040】〔第6形態〕本発明の第6形態に係るTFTの製造方法では上記の本発明の第5形態に係るTFTの製造方法の第一工程に続いて、第二の工程にて半導体膜及び第一ゲート絶縁膜に対して熱処理を行う事に特徴を有する。即ち本発明の第6形態に係るTFTの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜に熱処理を施す第二工程と、該第二工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターンニングする第三工程と、該第三工程終了後に前記基板を酸化性雰囲気下で熱処理を行い、前記半導体膜表面に第二ゲート絶縁膜としての酸化膜を形成する第四工程とを少なくとも含む事を特徴とする。

【0041】本発明では第二工程に於いて第一ゲート絶縁膜及び半導体膜に熱処理を行う為、本発明の第1形態に於いて行う第二工程と同様に半導体膜の改質が進む。更に第一ゲート絶縁膜も加熱されて緻密化する為、それを用いて製造したTFTは信頼性が高い。この様に膜質の改善された半導体膜とゲート絶縁膜に対して第四工程で熱酸化を施すので、これらの膜は更に高品質化する。第二工程で行う熱処理としては炉内での熱処理でも良いが、急速加熱処理を行うと高温になるので上記熱処理の効果が一層高く、スループットがよい等の効果を得る事が出来る。この場合も急速加熱処理をパターンニング前に行うので、基板全面に於ける熱吸収度合いが均一と化す。

【0042】本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る熔融結晶化や急速加熱処理と云った結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのも先に説明した通りで有る。

【0043】本発明でも前記第二工程を水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。この点に関しても先に説明した通りで有る。

【0044】〔第7形態〕上記の各発明は第一ゲート絶縁膜を形成した後でこのゲート絶縁膜と半導体膜に熱処理を施した。これに対し本発明の第7と第8形態に係る発明の様に半導体膜を形成してから第一ゲート絶縁膜を形成する迄は基板を大気に晒さず、且つ半導体膜に対して水素化処理又は酸化処理を行う様に構成しても、高品質の半導体装置を製造する事が出来る。それ故歩留り及び信頼性の高いTFTを製造出来る。

【0045】本発明の第7形態に係るTFTの製造方法

では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理及び酸化処理のうちの少なくとも一方の処理を施し、該処理を施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターンニングする第二工程と、該第二工程終了後に前記第一ゲート絶縁膜の表面に第二ゲート絶縁膜を形成する第三工程とを少なくとも含む事を特徴とする。

【0046】本発明では結晶化を行った後の半導体膜表面は大気に晒されて居ないので、自然酸化膜は形成されて居ない。従ってその後の水素化処理や酸化処理を行う時に自然酸化膜の影響を受けず、水素化処理や酸化処理を短時間で均一且つ効果的にに行い得る。斯くして半導体膜の電気伝導度が安定し、TFTのオン電流などと云った電気的特性が向上するので有る。又半導体膜をパターンニングする前に第一ゲート絶縁膜を形成して置くので、レジストマスクは第一ゲート絶縁膜の表面に形成され、半導体膜の表面には形成されない。それ故半導体膜表面はレジストで汚染されず、チャネル領域／ゲート絶縁膜の界面状態が良好で有る。更に第一ゲート絶縁膜及び半導体膜をパターンニングした後は、第二ゲート絶縁膜を形成して半導体膜の側面を覆う為、前述の各種ショートが発生しないと云う利点も有る。

【0047】本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る熔融結晶化や急速加熱処理と云った固相結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのも先に説明した通りで有る。

【0048】〔第8形態〕本発明の第8形態に係るTFTの製造方法では、外気と隔離した状態で基板上に半導体膜を形成した後に前記基板を外気に触れさせる事なく非酸化性雰囲気中で前記半導体膜の結晶化を行い、該結晶化を行った後に前記基板を外気に触れさせる事なく前記基板に水素化処理及び酸化処理のうちの少なくとも一方の処理を施し、該処理を施した後に前記基板を外気に触れさせる事なく前記半導体膜上に第一ゲート絶縁膜を形成する第一工程と、該第一工程終了後に前記第一ゲート絶縁膜及び前記半導体膜をパターンニングする第二工程と、該第二工程終了後に前記第一ゲート絶縁膜の表面を清浄化する第三工程と、該第三工程終了後に前記第一ゲート絶縁膜の表面に第二ゲート絶縁膜を形成する第四工程とを少なくとも含む事を特徴とする。

【0049】本発明では半導体膜をパターンニングした時にレジストマスクに依って汚染された第一ゲート絶縁膜を清浄化するのでTFTの電気的特性が安定する。この際に第一ゲート絶縁膜の表面層のみを除去してその清浄

化を図ると半導体膜は大気に晒されない。それ故半導体膜表面の汚れた酸化等を一層確実に防止出来るので、TFTの電気的特性が更に安定する。

【0050】本発明では前記第三工程に於いて、第一ゲート絶縁膜の表面を清浄化する処理は例えば第一ゲート絶縁膜表面をフッ化水素酸(HF)を含む水溶液等のウェット・エッチング処理や水素、CHF<sub>3</sub>、NF<sub>3</sub>、SF<sub>6</sub>等のプラズマを用いてエッチングするドライ・エッチング処理等を含む。

10 【0051】本発明でも第一工程で行う結晶化は例えばレーザー照射等に依る熔融結晶化や急速加熱処理と云った固相結晶化で有る。斯様な結晶化処理を水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましいのも先に説明した通りで有る。

【0052】

【発明の実施の形態】以下に説明する本発明の実施の形態のうち第1乃至第4形態と第6及び第7形態は主として低温プロセスに依ってTFTを製造する物で有り、第5及び第6形態は一部の工程に高温プロセスを用いる物で有る。ここで云う低温プロセスとは工程の最高温度（基板全体が同時に上がる最高温度）が600℃程度未満で有る事を意味する。これに対して高温プロセスとは工程の最高温度（基板全体が同時に上がる最高温度）が800℃程度以上になる事を意味し、シリコンの熱酸化等と云った700℃～1200℃の高温工程を伴う物で有る。

【0053】〔実施形態1の概要〕本発明の第1形態を適用したTFTの製造方法は主として低温プロセスにて作成されるTFTに適用される。これを図1を参照して説明する。図1から分かる様にまず第一工程ST1Aでは外気と隔離した状態で基板上に非晶質或多結晶或いはこれらが混合した混晶質の半導体膜を形成する（半導体膜形成処理ST12）。本発明のいずれの形態に於いても適用される半導体膜の種類としては、シリコン(Si)やゲルマニウム(Ge)などの単体の半導体膜の他にシリコン・ゲルマニウム(Si<sub>x</sub>Ge<sub>1-x</sub> : 0 < x < 1)やシリコン・カーバイド(Si<sub>x</sub>C<sub>1-x</sub> : 0 < x < 1)やゲルマニウム・カーバイド(Ge<sub>x</sub>C<sub>1-x</sub> : 0 < x < 1)等の四族元素複合体の半導体膜やガリウム・砒素(GaAs)、インジウム・アンチモン(InSb)などの三族元素と五族元素の複合体化合物半導体膜、又はカドミウム・セレン(CdSe)等の二族元素と六族元素の複合体化合物半導体膜が有る。或いはシリコン・ゲルマニウム・ガリウム・砒素(Si<sub>x</sub>Ge<sub>y</sub>Ga<sub>z</sub>As, : x+y+z=1)と云った更なる複合体化合物半導体膜やこれらの半導体膜にリン(P)、砒素(As)、アンチモン(Sb)等のドナー元素を添加したN型半導体膜、或いはホウ素(B)、アルミニウム(Al)、ガリウム(Ga)、インジウム(In)等のアクセプター元素を添加したP型半導体膜にも本発明を適用

可能で有る。

【0054】 斯様な半導体膜を形成するにはAPCVD法やLPCVD法、PECVD法等と云ったCVD法やスパッタ法や蒸着法等と云ったPVD法を用いる事が出来る。いずれの成膜法でも外気と隔離し、且つ非酸化性の雰囲気中で成膜を行う。LPCVD法やPECVD法、スパッタ法、蒸着法などは減圧下（真空雰囲気下）で行い、APCVD法等は大気圧下又は加圧下にて行う。本発明で半導体膜をCVD法で堆積する場合、堆積される半導体膜の構成元素を含有する化学物質を原料気体として半導体膜を堆積する。例えば半導体膜がシリコン（Si）で有る場合には原料気体としてはモノシラン（ $\text{SiH}_4$ ）やジシラン（ $\text{Si}_2\text{H}_6$ ）、トリシラン（ $\text{Si}_3\text{H}_8$ ）、ジクロールシラン（ $\text{SiH}_2\text{Cl}_2$ ）などのシランを用居る。本明細書ではジシランやトリシランを高次シラン（ $\text{Si}_n\text{H}_{4n+2}$ 、 $n$ は2以上の整数）と称する。ゲルマニウムが半導体膜で有る場合にはゲルマン（ $\text{GeH}_4$ ）等を用いるし、リン（P）やボロン（B）を半導体膜に添加する場合にはフォスフィン（ $\text{PH}_3$ ）やジボラン（ $\text{B}_2\text{H}_6$ ）なども共に用いられる。原料気体としては前述の各種半導体膜を構成する元素を含有する化学物質が用いられるが、必ず原料気体の一部が半導体膜に残留するが故、構成元素の水素化物がより好ましい。例えばジクロールシラン（ $\text{SiH}_2\text{Cl}_2$ ）から成膜されるシリコン膜には量の大小はともかく必ず塩素（Cl）が残留する。このシリコン膜を薄膜半導体装置の能動層に用いた場合、残留塩素がトランジスタ特性の劣化要因と成る。従ってジクロールシランよりは構成元素の水素化物で有るモノシランの方が好ましい。原料気体及び必要に応じて添加される追加気体の純度は高ければ高い程好ましいが、高純度気体を得る技術的な困難さの増大と価格上昇を考慮すると、純度は99.999%以上で有る事が好ましい。通常半導体膜成膜装置は背景真空度が $10^{-6}$  Torr程度で有り、成膜圧力が0.1 Torrから数 Torrで有る。それ故背景真空から成膜過程への不純物混入の割合は $10^{-5}$ から $10^{-6}$ 程度と成る。成膜に用いる原料気体や追加気体の純度はそれらの気体を利用する成膜装置の背景真空度に対する成膜圧力の比と同等であれば十分で有る。従って本発明にて成膜装置に流す気体の純度は99.999%以上（不純物の割合が $1 \times 10^{-5}$ 以下）が好ましく、99.9999%（不純物の割合が $1 \times 10^{-6}$ 以下）であれば原料としての使用に全く支障はなく、背景真空度と成膜圧力の比の十倍の純度（この例では純度が99.9999%で、不純物の割合が $1 \times 10^{-7}$ 以下）となれば気体から不純物の混入は全く考慮する必要はなく理想的で有る。

【0055】 次に基板を外気に触れさせる事なく半導体膜形成から連続して非酸化性雰囲気中にて半導体膜の結晶化を行う（結晶化処理ST13）。本発明のいずれの

形態に於いても結晶化処理は半導体膜にレーザー光等の光学エネルギーや電磁波エネルギー、加速した粒子等を短時間供給して結晶化を進める。最初に堆積した半導体膜が非晶質で有ったり、非晶質と微結晶が混在する混晶質で有れば、この工程は結晶化と呼ばれる。一方最初に堆積した半導体膜が多結晶で有れば、この工程は再結晶化と呼ばれる。本明細書では特に断らない限り、両者をまとめて単に結晶化処理と称する。レーザー光等のエネルギー強度が高ければ結晶化の際に半導体膜は一度熔融し、冷却固化過程を経て結晶化する。これを本願では熔融結晶化と称する。これに対して半導体膜の結晶化を熔融せずに固相にて進める方法を固相成長法（SPC法）とか固相結晶化と称する。固相成長法は550℃程度から650℃程度の温度で数時間から数十時間をかけて結晶化を進める炉での熱処理法（Furnace-SPC法）と、一秒未満から一分程度の短時間で700℃程度から1000℃程度の高温で結晶化を進める急速熱処理法（RTA法）、及びレーザー光等のエネルギー強度が低い時に生じる極短時間固相成長法（VST-SPC法）の三者に主として分類される。本願発明はこれらいずれの結晶化方法をも適用可能で有るが、大型基板を高い生産性で製造すると云う観点からすれば熔融結晶化法やRTA法、VST-SPC法が特に適して居る。これらの結晶化方法では照射時間が非常に短時間で有り、且つ照射領域も基板全体に対して局所的で有る為、半導体膜の結晶化に際して基板全体が同時に高温に熱せられる事がなく、故に基板の熱に依る変形や割れ等も生じないからで有る。半導体膜に光エネルギーを供給する形態としてはレーザー光を照射するレーザーアニールやランプ光を照射するランプアニールが有る。又加速した粒子を半導体膜に供給する形態としてはイオン・ボンバードメント法が有る。この方法は基板温度を300℃程度から600℃程度として、10keV程度から100keV程度に加速した $\text{SiH}_4^+$ や20keV程度から200keV程度に加速した $\text{GeH}_4^+$ 等を半導体膜に注入する。イオンの加速エネルギーを半導体原子に供給して結晶化を進める方法で有る。

【0056】 これらいずれかの結晶化処理を行った後に基板を外気に触れさせる事なく更に連続して結晶性半導体膜上に第一ゲート絶縁膜を形成する（第一ゲート絶縁膜形成処理ST16）。第一ゲート絶縁膜を形成する際にもAPCVD法やLPCVD法、PECVD法などと云ったCVD法、或いはスパッタ法や蒸着法などと云ったPVD法を用いる事が出来る。いずれの成膜法でも半導体膜形成から外気と隔離した儘成膜する。第一ゲート絶縁膜をシリコン酸化膜とする場合、APCVD法であればアルゴンガスや窒素ガスで希釈したモノシランやジシランと、酸素や笑気ガス等を用いる。LPCVD法であればモノシランやジシランと、笑気ガス等を用いる。PECVD法であればモノシランやジシラン或いはTFE

OSと、酸素や笑気ガス等を用いる。又スパッタ法であれば例えば水素等を含有するアルゴンガス雰囲気下にてスパッタを行う。

【0057】次に第二工程ST2Aでは第一ゲート絶縁膜及び半導体膜に急速加熱処理や炉内での熱処理を施す。

【0058】次に第三工程ST3Aとして第一ゲート絶縁膜上に所望のレジストパターンを形成して、第一ゲート絶縁膜及び半導体膜をパターンニングする。

【0059】その後第四工程ST4Aにて多結晶半導体膜と第一ゲート絶縁膜が形成された基板に水素化処理ST41を施す。この水素化処理はAPCVD装置で大気圧水素含有雰囲気下に於ける熱処理、LPCVD法に於いて水素ガス雰囲気中で1 Torr程度から100 Torr程度の減圧下での水素熱処理や水素プラズマ照射、PECVD装置での水素プラズマの照射、スパッタ装置に於いてアルゴンガス-水素ガス雰囲気中でのアルゴン-水素プラズマ照射などに依り行う。しかる後に第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を外気と隔離した状態で連続して形成する(第二ゲート絶縁膜形成処理ST42)。従ってこの成膜は水素化処理ST41を行ったAPCVD装置やLPCVD装置、PECVD装置、スパッタ装置内でその儘シリコン酸化膜を形成するので有る。

【0060】本発明に於いて第一工程ST1Aで行う結晶化は例えばレーザー照射等に依る熔融結晶化ST131、或いは急速加熱処理や弱レーザー照射等の固相結晶化ST132で有る。斯様な結晶化処理ST13は水素含有雰囲気下やアルゴンガス含有還元性雰囲気下で行う事が好ましい。

【0061】本発明では第二工程ST2Aを水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。

【0062】[実施形態2の概要] 本発明の第2形態を適用したTFTの製造方法も主として低温プロセスにて作成されるTFTに適用される。これを図2を参照して説明する。

【0063】図2から分かる様に本発明では第1形態に係るTFTの製造方法と同様、第一工程ST1Bでは基板を大気に晒す事なく半導体膜形成処理ST12と結晶化処理ST13及び第一ゲート絶縁膜形成処理ST16を連続して行う。この第一工程ST1Bに於いて、本発明では半導体膜の結晶化処理ST13を行った後で第一ゲート絶縁膜形成処理ST16を行う前に半導体膜に対して水素化処理ST14を行う事に特徴を有する。ここで行う水素化処理ST14としては先に説明した実施の形態1の水素化処理ST41(第四工程ST4A)と同様、APCVD装置に於いて大気圧下3%程度の水素含有のアルゴンガス雰囲気中での水素熱処理や、LPCVD法に於いて水素ガス雰囲気中で1 Torr程度から1

00 Torr程度の減圧下での水素熱処理や水素プラズマ照射、PECVD装置での水素プラズマの照射、スパッタ装置に於いてアルゴン-水素プラズマの照射などに依り行う。又その後に行う第一ゲート絶縁膜形成処理ST16は水素化処理ST14を行ったAPCVD装置やLPCVD装置、PECVD装置、スパッタ装置内でその儘シリコン酸化膜を形成する。斯様な水素化処理ST14を行うと半導体膜の活性表面を水素で終端化し安定化する事が出来る。然も結晶化処理ST13の後に、基板を大気に晒す事なく水素化処理ST14を連続して行うので、半導体膜の表面には自然酸化膜が形成されて居ない。それ故水素化処理ST14を行う時に自然酸化膜の影響を受けず、極短時間で均一かつ効果的に行い得るので有る。こうして半導体膜の電気伝導度が安定し、TFTのオン電流特性等と云った電気的特性が向上する訳で有る。

【0064】それ以降は第1形態に係るTFTの製造方法と同様で有る。第二工程ST2Bでは第一ゲート絶縁膜及び半導体膜に急速加熱処理等の熱処理を施す。次に第三工程ST3Bでは第一ゲート絶縁膜及び半導体膜をパターンニングする。次に第四工程ST4Bでは基板に水素化処理ST41を施し、しかる後に外気に晒す事無く連続して第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する(第二ゲート絶縁膜形成処理ST42)。

【0065】[実施形態3の概要] 本発明の第3形態に係るTFTの製造方法も主として低温プロセスにて作成されるTFTに適用される。これを図3を参照して説明する。

【0066】図3から分かる様に本発明では本発明の第1形態に係るTFTの製造方法と同様、第一工程ST1Cでは基板を大気に晒す事なく半導体膜形成処理ST12と結晶化処理ST13及び第一ゲート絶縁膜形成処理ST16を連続して行う。この第一工程ST1Cに於いて、本発明では半導体膜の結晶化処理ST13を行った後で第一ゲート絶縁膜形成処理ST16を行う前に半導体膜に対して水素化処理ST14を行うと共に、半導体膜に対して酸化処理ST15を行う。この酸化処理ST15を真空条件下で行う場合には酸素や水蒸気、酸素と水蒸気の混合気体、笑気ガス等を用いたプラズマを利用する事が出来る。酸化処理ST15を大気圧下で行う場合には酸素雰囲気中や水蒸気雰囲気中、酸素-水蒸気雰囲気中、笑気ガス雰囲気中での熱処理を利用する事が出来、或いはオゾンを利用する事も可能で有る。斯様な酸化処理ST15を行うと半導体膜の活性表面と酸素との反応に依り高品質の酸化膜が容易に形成されるので、清浄なMOS界面を有するゲート絶縁膜を極めて簡単に形成出来る。

【0067】それ以降は本発明の第1形態に係るTFTの製造方法と同様、第二工程ST2Cでは第一ゲート絶縁膜及び半導体膜に急速加熱処理等の熱処理を施す。次



に第三工程ST3Cでは第一ゲート絶縁膜及び半導体膜をパターンニングする。次に第四工程ST4Cでは基板に水素化处理ST41を施し、しかる後に外気に晒す事無く連続して第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する(第二ゲート絶縁膜形成処理ST42)。

【0068】斯様な形態のTFETの製造方法を第1実施例として後述する。

【0069】〔実施形態4の概要〕本発明の第4形態に係るTFETの製造方法も主として低温プロセスにて作成されるTFETに適用される。これを図4を参照して説明する。

【0070】図4から分かる様に本発明では本発明の第1形態に係るTFETの製造方法と同様、第一工程ST1Dに於いて基板を大気に晒す事なく半導体膜形成処理ST12と結晶化处理ST13及び第一ゲート絶縁膜形成処理ST16を行う。次に第二工程ST2Dに於いて第一ゲート絶縁膜及び半導体膜に急速加熱処理等の熱処理を施す。次に第三工程ST3Dに於いて第一ゲート絶縁膜及び半導体膜をパターンニングする。次に本発明では半導体膜をパターンニングした時に、それに用いたレジストマスクに依って汚染された第一ゲート絶縁膜の表面をエッチング等の処理に依って清浄化する(第四工程ST4D)。この清浄化にはフッ化水素系水溶液を用いたウェット・エッチング、或いは水素、四フッ化炭素、三フッ化窒素、六フッ化硫黄(SF<sub>6</sub>)等を用いたドライ・エッチングを利用する事が出来る。ドライ・エッチングはこの工程とそれに続いて行う第五工程ST5Dの水素化处理ST41とを基板を大気に触れさず事なく連続して行うのに特に適して居る。

【0071】この様にして汚染された第一ゲート絶縁膜を清浄化するとTFETの電気的特性が安定する。然もレジストマスクに依って汚染された第一ゲート絶縁膜の表面層のみを除去するので半導体膜はこの間も大気に晒されない。従って半導体膜表面の汚れた酸化等を確実に防止出来、TFETの電気的特性が安定する。

【0072】それ以降は本発明の第1形態に係るTFETの製造方法と同様、第五工程ST5Dでは基板に水素化处理ST41を施し、しかる後に第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する(第二ゲート絶縁膜形成処理ST42)。前述の如く第一ゲート絶縁膜清浄化処理ST4Dから第二ゲート絶縁膜形成処理ST42迄を外気に晒す事無く連続して行うのが最も好ましい。

【0073】斯様な形態のTFETの製造方法を第2実施例として後述する。

【0074】〔実施形態5の概要〕本発明の第5形態に係るTFETの製造方法は一部の工程に高温プロセスを用いる事に特徴を有する。これを図5を参照して説明する。

【0075】図5から分かる様に本発明でも第1形態に係るTFETの製造方法と同様、第一工程ST1Eに於いて

て基板を大気に晒す事なく半導体膜形成処理ST12と結晶化处理ST13及び第一ゲート絶縁膜形成処理ST16を連続して行う。

【0076】次に本発明では第二工程ST2Eとして第一ゲート絶縁膜及び半導体膜をパターンニングする。

【0077】次に本発明では第三工程ST3Eとして基板を酸化性雰囲気下で熱処理を行い、半導体膜表面に第二ゲート絶縁膜として酸化膜を形成する。この酸化膜の形成にあたっては例えば先に説明した第1形態に於ける第一ゲート絶縁膜形成処理ST16と同様にAPCVD法やLPCVD法、PECVD法などと云ったCVD法、或いはスパッタ法や蒸着法などと云ったPVD法を行い、その後に酸素雰囲気中や窒素雰囲気中などで800℃程度から1200℃程度の条件で熱処理を行っても良い。或いは酸素雰囲気中や水蒸気雰囲気中、酸素-水素混合雰囲気中にて800℃程度から1200℃程度の条件下で行う熱酸化法で有っても良い。更にはモノシランや酸素等を用いて700℃程度から1000℃程度の条件下でCVDを行う高温酸化膜法(HTO法)なども有る。

【0078】〔実施形態6の概要〕本発明の第6形態に係るTFETの製造方法でも本発明の第5形態に係るTFETの製造方法と同様、一部の工程に高温プロセスを用居る。これを図6を参照して説明する。

【0079】図6から分かる様に本発明でも第一工程ST1Fに於いて基板を大気に晒す事なく半導体膜形成処理ST12と結晶化处理ST13及び第一ゲート絶縁膜形成処理ST16を行う。

【0080】次に本発明では第二工程ST2Fとして第一ゲート絶縁膜及び半導体膜に急速加熱処理等の熱処理を施す。

【0081】それ以降は本発明の第5形態に係るTFETの製造方法と同様で有る。第三工程ST3Fでは第一ゲート絶縁膜及び半導体膜をパターンニングする。次に第四工程ST4Fでは基板を酸化性雰囲気下で熱処理を行い、半導体膜表面に第二ゲート絶縁膜としての酸化膜を形成する。

【0082】本発明でも第二工程ST2Fを水素含有雰囲気下や酸素含有雰囲気下、又は水蒸気含有酸化性雰囲気下で行う事が好ましい。

【0083】斯様な形態のTFETの製造方法を第3実施例として後述する。

【0084】〔実施形態7の概要〕本発明の第7形態に係るTFETの製造方法は主として低温プロセスにて作成されるTFETに適用される。これを図7を参照して説明する。

【0085】図7から分かる様に本発明では本発明の第1乃至6の形態に係るTFETの製造方法と同様、第一工程ST1Gでは基板を大気に晒す事なく半導体膜形成処理ST12と結晶化处理ST13及び第一ゲート絶縁膜

形成処理ST16を連続して行う。この第一工程ST1Gに於いて本発明では、半導体膜の結晶化処理ST13を行った後で第一ゲート絶縁膜形成処理ST16を行う前に半導体膜に対して水素化処理ST14又は酸化処理ST15の少なくとも一方の処理を行う。理想的には半導体膜形成処理直前の下地保護膜形成処理から第一ゲート絶縁膜形成処理迄を外気と隔絶した状態で連続処理するのが好ましい。

【0086】それ以降は第二工程ST2Gで第一ゲート絶縁膜及び半導体膜をパターンニングする。次に第三工程ST3Gでは第一ゲート絶縁膜の表面上に第二ゲート絶縁膜を形成する（第二ゲート絶縁膜形成処理ST42）。

【0087】斯様な形態のTF Tの製造方法を第4実施例として後述する。

【0088】〔実施形態8の概要〕本発明の第8形態に係るTF Tの製造方法も主として低温プロセスにて作成されるTF Tに適用される。これを図8を参照して説明する。

【0089】図8から分かる様に本発明では第7形態に係るTF Tの製造方法と同様、第一工程ST1Hでは基板を大気に晒す事なく半導体膜形成処理ST12と結晶化処理ST13及び第一ゲート絶縁膜形成処理ST16を連続して行う。又第一工程ST1Hでは半導体膜の結晶化処理ST13を行った後で第一ゲート絶縁膜形成処理ST16を行う前に半導体膜に対して水素化処理ST14又は酸化処理ST15の少なくとも一方の処理を行う。

【0090】次に第一ゲート絶縁膜及び半導体膜をパターンニングする第二工程2Hを行う。第二工程2H終了後に第一ゲート絶縁膜の表面を清浄化する第三工程3Hを行う。しかる後に第四工程4Hでは第一ゲート絶縁膜の表面に第二ゲート絶縁膜を形成する（第二ゲート絶縁膜形成処理ST42）。第三工程3Hでは半導体膜をパターンニングした時に用いたレジストマスクで汚染された第一ゲート絶縁膜の全体又はその表面をエッチング等の処理に依って除去して清浄な物とする。この清浄化にはフッ化水素系水溶液を用いたウェット・エッチング、或いは水素や四フッ化炭素、三フッ化窒素、六フッ化硫黄等を用いたドライ・エッチングを利用する事が出来る事は実施の形態4と同様で有る。ドライ・エッチングを用いた場合、第一ゲート絶縁膜清浄化処理ST3Hと第二ゲート絶縁膜形成処理ST4Hは外気に晒す事無く連続で行うのが好ましい。

【0091】斯様な形態のTF Tの製造方法を第5実施例として後述する。

【0092】〔TF T製造装置の概略構成〕各実施例を説明する前に図9乃至図11を参照して、各実施例に用いる事の出来るマルチチャンバー型のTF T製造装置の概略構成を説明して置く。図9はマルチチャンバー型の

TF T製造装置の基本的な構成を示す概略構成図、図10はこのTF T製造装置を真空系装置として構成した場合の基本的な構成を示す概略構成図、図11はTF T製造装置を大気圧系装置として構成した場合の基本的な構成を示す概略構成図で有る。

【0093】図9に於いて、TF T製造装置100にはCVD法やPVD法に依る半導体膜の形成及び水素化処理を行うための還元性処理室120（CVD装置）と、レーザーアニールやRTA、イオン・ボンバードメント法に依る結晶化を行う為の結晶化室130と、CVD法やPVD法に依るシリコン酸化膜の形成及び酸化処理を行うための酸化性処理室140（CVD装置）と、これらの処理室に対してシャッターSH3、SH4、SH5を介して接続する搬送室150とが構成されて居る。搬送室150には各処理室への基板の搬出入を行うための搬送ロボット160が配置されて居る。搬送室150にはシャッターSH2を介してロードロック室170が接続し、このロードロック室170にはシャッターSH1に依って開閉される基板搬出入口が構成されて居る。マルチチャンバー型のTF T製造装置を真空系装置として構成する場合、各処理室等にはドライポンプやターボ分子ポンプ等を備える真空排気装置（図示せず）や所定のガス供給装置が其々接続され、各処理室等では大気から隔離した状態で基板を扱う事が可能で有る。その一例を図10に示す。ロードロック室170は1気圧から $10^{-5}$ Torr程度と成る様に構成される。還元性処理室120は背景真空度が $10^{-6}$ Torr程度以下と成る様に構成され、且つアルゴンやヘリウム、水素、モノシラン、ジシラン、トリシランなどを導入出来る様に構成される。ここではPECVD法やLPCVD法、スパッター法に依る半導体膜の形成や水素化処理を行う事が可能で有る。結晶化室130は背景真空度が $10^{-6}$ Torr程度以下と成る様に構成され、且つアルゴンや水素などを導入出来る様に構成される。ここではレーザーアニールやRTA、イオン・ボンバードメント法に依る結晶化を行う事が可能で有る。酸化性処理室140は背景真空度が $10^{-6}$ Torr程度以下と成る様に構成され、且つアルゴンやヘリウム、水素、モノシラン、ジシラン、トリシラン、TEOS、笑気ガス、酸素などを導入出来る様に構成される。ここではPECVD法やLPCVD法、スパッター法に依るシリコン酸化膜の形成や酸化処理を行う事が可能で有る。搬送室150は $10^{-6}$ Torr程度以下の背景真空度になる様に構成され、且つアルゴンや窒素などの不活性なガスを導入してその真空度が $10^{-5}$ Torr程度と成る。

【0094】マルチチャンバー型のTF T製造装置を大気圧系装置として構成する場合には、各処理室等には各種のガス供給装置が其々接続され、各処理室等では大気から隔離した状態で基板を扱う。図11に示す様にロードロック室170は窒素ガス等の不活性気体が導入され



る様に構成される。還元性処理室120はトリシランや水素、アルゴンなど還元性気体と不活性気体を導入出来る様に構成される。ここではAPCVD法に依る半導体膜の形成や水素化処理を行う事が可能で有る。結晶化室130は10%程度未満濃度の水素を含有するアルゴンを導入出来る様に構成され、1気圧程度から10気圧程度の圧力下でレーザーアニールやRTA法に依る結晶化を行う事が可能で有る。酸化性処理室140はモノシランやTEOS、笑気ガス、酸素、オゾンなどを導入出来る様に構成されて居る。ここではAPCVD法に依るシリコン酸化膜の形成や酸化処理を行う事が可能で有る。搬送室150はアルゴンなどの不活性気体を導入出来る様に構成される。

【0095】図12(A)は図9乃至図11に示したTFT製造装置に於いて酸化性処理室や還元性処理室をプラズマCVD用に構成した場合の反応室周辺の概略平面図と、そのA-A'線に於ける断面図(図12(B))で有る。本例のプラズマCVD装置200は容量結合型で有り、プラズマは高周波電源を用いて平行平板電極間に発生させる様になって居る。反応室201は反応容器202に依って外気から隔絶され、成膜中には約5mTorrから約5Torr迄の減圧状態とされる。反応容器202の内部には下部平板電極203と上部平板電極204が互いに平行に配置されており、これらの2枚の電極が平行平板電極を構成して居る。下部平板電極203と上部平板電極204とからなる平行平板電極の間が反応室201で有る。本例では410mm×510mmの平行平板電極を用い、電極間距離は可変で有る。反応室201の容積も電極間距離の変更にもなって2091cm<sup>3</sup>から10455cm<sup>3</sup>迄の範囲で可変と成る。電極間距離の変更は下部平板電極203の位置を上下させる事に依り行う事が出来、任意の距離に設定出来る。電極間距離をある値に設定した時の平行平板電極の面内に於ける電極間距離の偏差は僅か0.1mmで有る。従って電極間に生じる電界強度の偏差は平行平板電極の面内に於いて1.0%以下で有り、プラズマは反応室201に於いて均質に発生する。下部平板電極203の上には薄膜を堆積すべきガラス等の大型の基板10が置かれ、基板10の縁辺部2mmがシャドーフレーム206に依り押さえつけられる。尚図12(A)では装置の構成を分かり易くする様にシャドーフレーム206を省略して有る。下部平板電極203の内部には基板10を加熱するヒーター207が設けられており、下部平板電極203の温度は25℃から400℃迄の間で任意に設定出来る。電極の温度を有る値に設定した時、周辺5mmを除く下部平板電極203の面内に於ける温度分布は設定温度に対して±1.0℃以内で有る。こうして基板10の大きさを400mm×500mmに設定しても、基板10の面内に於ける温度偏差を2.0℃以下に保つ事が出来る。シャドーフレーム206は例えば基板10と

して汎用のガラス基板(例えば、コーニングジャパン株式会社製#7059、日本電気硝子株式会社製OA-2、又はNHテクノグラス株式会社製NA35等)を用いた時、基板10がヒーター207からの熱に依って凹形に変形するのを防ぐと共に、基板のエッジ部や裏面に不要な薄膜が形成されない様に基板10を押さえ居る。原料と成る気体と必要に応じて追加の気体とからなる反応ガスは配管208を通して上部平板電極204の内部に導入され、更に上部平板電極204の内部に設けられたガス拡散板209の間をすり抜けて上部平板電極204の全面から略均一な圧力で反応室201の流れ出る。成膜中で有れば反応ガスの一部は上部平板電極204から出た所で電離し、平行平板電極間にプラズマを発生させる。反応ガスの一部乃至全部は成膜に関与する。これに対し成膜に関与しなかった残留反応ガスと成膜の化学反応の結果として生じた生成ガスは反応容器202の周辺上部に設けられた排気穴210から排気ガスとして排出される。排気穴210のコンダクタンスは平行平板電極間のコンダクタンスの100倍以上で有る事が好ましい。更に平行平板電極間のコンダクタンスはガス拡散板209のコンダクタンスよりも十分に大きく、矢張りその値はガス拡散板209のコンダクタンスの100倍以上で有る事が好ましい。この様に構成する事に依り410mm×510mmの大型の上部平板電極204の全面より略均一な圧力で反応ガスが反応室201に導入され、同時に排気ガスが反応室201から全ての方向に均等な流量で排出される。各種の反応ガスの流量は配管208に導入される前にマス・フロー・コントローラー(図示せず)に依り所定の値に調整される。又反応室201の内部の圧力は排気穴の出口に設けられたコンダクタンス・バルブ211に依り所定の値に調整される。コンダクタンス・バルブ211の排気側にはターボ分子ポンプ等の真空排気装置(図示せず)が設けられて居る。本例ではオイル・フリーの磁気浮上型ターボ分子ポンプが真空排気装置の一部として用いられ、反応室内の背景真空度を10<sup>-7</sup>Torr台として居る。図12の(A)と(B)にはガスの流れを矢印で示して有る。反応容器202及び下部平板電極203は接地電位に有り、これらと上部平板電極204とは絶縁リング212に依り電気的な絶縁状態が保たれる。プラズマ発生時には発振源213(電源)から出力されたRF波が増幅器214にて増幅された後、マッチング回路215を介して上部平板電極204に印加される。本例で用いたプラズマCVD装置120は上述の如く、電極間距離及びガス流に極めて精巧な制御を実現した事に依り400mm×500mmの大型の基板にも対応出来る薄膜形成装置として構成されて居る。これらの基本的な設計思想され踏襲すれば更に大型の基板にも容易に対応出来、550mm×650mm程度の大型基板にも十分に対応し得る装置を構成出来る。本例ではRF電源を用いて居るが、

マイクロ波やVHF波を発する電源を用いてもよい。又RF電源では工業用RF周波数(13.56MHz)の整数倍で有る27.12MHzや40.6MHz、54.24MHz、67.8MHz等いずれの周波数に設定してもよい。斯様な周波数の変更は発振源213や増幅器214及びマッチング回路215を交換する事に依り容易に行う事が出来る。尚電磁波プラズマでは周波数を上げるとプラズマ中の電子温度が上がり、ラジカルの発生が容易に成る。反応ガスとしてはシリコン膜を堆積する場合にはモノシランやジシランが用いられる。シリコン窒化膜を堆積する場合にはこれらのシランにアンモニア(NH<sub>3</sub>)や窒素を添加する。又酸化膜を堆積する場合にはこれらのシランに笑気ガス(N<sub>2</sub>O)や酸素(O<sub>2</sub>)を添加する。この他に、TEOS(Si-(O-CH<sub>3</sub>)-(CH<sub>3</sub>))等の有機シラン系物質と酸素等で酸化膜を形成してもよい。希釈ガスとしてはヘリウム(He)やアルゴン(Ar)、ネオン(Ne)等の希ガスの他、水素(H<sub>2</sub>)や窒素(N<sub>2</sub>)等が用いられる。

【0096】図13は図9乃至図11に示したTFT製造装置の結晶化室130をレーザーアニール用、或いはRTA用に構成した場合の処理室周辺の概略断面図で有る。図13に示す様に結晶化室130はハウジング131の上部に石英窓132が配置され、この石英窓132を介してRTA用のランプLやレーザー光からの高エネルギーの光をホルダー133上の基板10に照射する事が可能と成る。ホルダー133内にはヒーターが設けられて居り、基板を25℃程度から400℃程度に加熱出来る。このホルダーは前後に移動可能で有る為、ランプLからの光は基板10の全面に照射される様になって居る。結晶化室130には導入管134を介してアルゴンや水素等のガスの導入が可能で有り、これらのガス雰囲気中でのアニール処理が行われる。尚ランプLには反射鏡や集光レンズ系等が構成されて居るが、これらの要素部品はその図示を省略して有る。

【0097】[第1実施例]図14等を用いて本発明の一例を説明する。ここに掲げるTFTの製造方法は図3に示した工程を有する製造方法で有り、それ故図1及び図2の製造方法をも内包して居る。尚図14(B)に示す工程から図14(E)に示す工程迄は図9乃至図11に示したTFT製造装置100内で行う。

【0098】本例ではまず図14(A)に示す様に超音波洗浄等に依り清浄化したガラス製の基板10を準備し、この基板10をTFT製造装置100のロードロック室170を介して搬送室150に入れ、10<sup>-7</sup>Torrから10<sup>-1</sup>Torr程度の減圧下とした後、基板10を搬送室150から酸化性処理室140(プラズマCVD装置)に搬入する。

【0099】(第一工程ST1C)次に図14(B)に示す様に減圧状態とされた酸化性処理室140内部に於

いて、基板温度が約150℃から約450℃の温度条件下で、基板10の全面に厚さが200nm程度のシリコン酸化膜からなる下地保護膜11をプラズマCVD法に依り形成する(下地保護膜形成処理)。この時の原料ガスとしては例えばモノシランと笑気ガス(N<sub>2</sub>O)との混合ガスやTEOSと酸素等を用いる。窒化硅素膜を下地保護膜とする時には、シランとアンモニアを用いても良い。尚下地保護膜12としてはシリコン窒化膜等の絶縁膜やそれらの多層膜を用いる事も出来る。

【0100】続いて基板10を大気に晒す事なく酸化性処理室140から搬送室150を介して還元性処理室120に搬入する。この還元性処理室120内ではアルゴンガスを含む減圧下に於いて基板温度が約150℃から約450℃の温度条件下で基板10の全面に厚さが60nm程度のアモルファスシリコン膜からなる半導体膜12をプラズマCVD法に依り形成する(半導体膜形成処理ST12)。この時の原料ガスとしては例えばジシランやモノシランを用いる事が出来る。

【0101】次に基板10を還元性処理室120から搬送室150を介して結晶化室130に搬入する。この間基板10は還元性処理室120から搬送室150及び結晶化室130の内部迄、減圧下又は非酸化性雰囲気中に保持されて居り、大気には晒されない。結晶化室130では図14(C)に示す様にランプLから照射される高エネルギー光(レーザー光やRTA光)に依って半導体膜12の少なくとも表面層を、真空中(減圧下)、又は水素ガス含有雰囲気や1気圧程度以上のフォーミングガス雰囲気(10%程度の水素ガス含有のアルゴンガスからなる還元性雰囲気)等と云った非酸化性雰囲気中に於いて熔融結晶化する(結晶化処理ST13/急速加熱処理に依る固相結晶化ST132)。この時基板10の表面や半導体膜12の表面はレジスト等で汚染されておらず、然も酸化膜も形成されていない。この為結晶化後の半導体膜12は結晶化での不純物混入がなく、極めて高純度で有り、併せて結晶粒も不純物が無い為大きく成長して居る。又ランプLから照射される高エネルギー光は半導体膜12の表面に対して一定の幅で照射されるが、基板10の移動にともなって照射領域は相対的に移動する。ランプLからの光に依って基板10の各部分は10<sup>-9</sup>秒程度から長くとも秒オーダーで急速加熱される。こうして半導体膜12は熔融結晶化又は固相結晶化して結晶性の半導体膜と成る。但し基板10は全体として同時に大きな熱ストレスを受けないので、歪み等は発生しない。

【0102】次に基板10を結晶化室130から搬送室150を介して還元性処理室120に搬入する。この間基板10は結晶化室130から搬送室150及び還元性処理室120の内部迄減圧下又は非酸化性雰囲気中に保持された儘で大気に晒されない。還元性処理室120では図14(D)に示す様に基板10を減圧下に保持した

儘水素プラズマを照射して、熔融結晶化した半導体膜12に存在する欠陥を低減する。即ち半導体膜12中に存在するシリコン膜の不對結合を終端化する(水素化処理ST14)。

【0103】続いて基板10を大気に晒す事なく、還元性処理室120から搬送室150を介して酸化性処理室140に搬入する。酸化性処理室140では水素プラズマ照射した後に引き続いて基板10に酸素プラズマを照射し、酸化処理ST15を行う。通常秒オーダー以下の短時間で結晶化を真空乃至非酸化性雰囲気下で行うと結晶化膜の表面は非常に活性で有り、空気に触れると空中のゴミ等に依り簡単に汚染されて仕舞うが、本例では斯様な活性表面を水素で終端化し安定として居る。また高純度の酸素プラズマを照射すれば、活性表面との反応に依り高品質のプラズマ酸化膜が容易に形成され、清浄なMOS界面を有するゲート絶縁膜を極めて簡単に形成出来る。酸素プラズマを作る酸素ガスの純度は99.99%程度以上が好ましく、プラズマ処理時の圧力に対して $10^{-6}$  Torr程度以上の背景真空度が求められる。例えば酸素プラズマ処理を1 Torrで行う場合には背景真空度は $10^{-6}$  Torr程度より高真空で有る事が求められる。

【0104】次に図14(E)に示す様に基板10を減圧下に保持したまま、基板温度が約150℃から約450℃の温度条件下で、基板10の全面に厚さ10nm～50nmのシリコン酸化膜からなる第一ゲート絶縁膜13をプラズマCVD法に依り形成する(第一ゲート絶縁膜形成処理ST16)。この時の原料ガスとしては例えばモノシランと笑気ガスとの混合ガスや、TEOSと酸素との混合ガスを用いる。

【0105】(第二工程ST2C)次に基板10を酸化性処理室140から搬送室150を介して結晶化室130に搬入する。結晶化室130では図14(F)に示す様に半導体膜12及び第一ゲート絶縁膜13に対して急速加熱処理を行う。この急速加熱処理では半導体膜からのストレス解放や更なる結晶化が進む。急速加熱処理では基板10の一部が秒オーダーで熱せられるだけで有る為、基板10に歪み等が発生しない。この時第一ゲート絶縁膜13は、下層に位置する半導体膜12から熱を受けて高温になり、緻密化する等の絶縁膜質の改善が進む。然も急速加熱処理をバタニング前に行う為、基板10の全面に於いて熱吸収度合いが均一で有る。斯様な急速加熱処理は結晶化室130を例えば窒素ガス雰囲気として行う事が出来る。その一方、急速加熱処理を水素ガス含有雰囲気中で行うと、第一ゲート絶縁膜13を構成するシリコン膜に存在するダングリングボンド( $\text{Si}-\text{O}-*$ )が、例えば $\text{Si}-\text{O}-\text{H}$ 等と云った状態に水素化し、固定電荷を低減出来る。又急速加熱処理を酸素ガス含有雰囲気中で行うと、第一ゲート絶縁膜13に含まれる未結合のシリコン原子( $\text{Si}-*$ )を $\text{Si}-\text{O}-$

$\text{Si}$ 等と云った状態に結合させ、絶縁膜の改質を行う事が出来る。更に急速加熱処理を水蒸気含有酸化性雰囲気中に行うと、第一ゲート絶縁膜13を更に厚く成長させる事も可能で有る上、図29と図30で説明した膜質改善がより完璧に行われる。更にこれら雰囲気中を順次繰り返して複数回の急速加熱処理を行ってもよい。

【0106】第二工程の急速加熱処理は基板10を第一ゲート絶縁膜形成処理ST16迄を行った後、TFT製造装置100から搬出して図15(A)に示す急速加熱処理装置を用いて行ってもよい。この急速加熱処理装置1では基板10の搬送方向(矢印Xの方向)の上流側から下流側に向かって、第1予熱ゾーン2、第2予熱ゾーン3、第3予熱ゾーン4、アニールゾーン4、及びクーリングゾーン6が設けられて居る。又第1乃至第3予熱ゾーン2～4にはヒータが配置されて居る。アニールゾーン5には、そこに搬送されてくる基板11にエネルギー光を照射するためのアークランプ5A、5Bと、その反射板5C、5Dが配置されて居る。ここで図15

(B)に示す様に基板10に対するエネルギー光の照射領域は幅が一定で有る為、基板10の搬送速度に応じて基板10に対する急速加熱時間を定める。急速加熱処理の温度プロファイルは図15(C)に示す様にアニールゾーン5に於いて急速に温度上昇し、アニールゾーンの出口付近で温度ピークPに達する。通常はアニールゾーン5の出口付近に於ける最高温度をアニール温度として管理する事に成る。

【0107】(第三工程ST3C)次に図16(A)に示す様に第一ゲート絶縁膜13の表面に所定のマスクパターンのレジストマスク22を形成し、図16(B)に示す様に第一ゲート絶縁膜13と半導体膜12をフォトリソグラフィ技術を用いてバタニングする。

【0108】(第四工程ST4C)次に半導体膜12や第一ゲート絶縁膜13に対してプラズマCVD装置を用いて水素プラズマを照射しするなどして、水素化処理ST41を行う。水素プラズマを照射するのは半導体膜12や第一ゲート絶縁膜13が第二工程ST2C(急速加熱処理)に於いて加熱された際に皮膜内に内包する水素を放出し、劣化して居る事が有るからで有る。斯様な水素化処理は通常のゲート絶縁膜の厚さであれば2時間～5時間を要するが、本例では厚さが10nm～50nmと薄いので、30秒程度から20分程度でよい。

【0109】続いて図16(C)に示す様に基板温度が約150℃から約450℃の温度条件下で、基板10の全面にシリコン酸化膜からなる第二ゲート絶縁膜14をプラズマCVD法に依り形成する(第二ゲート絶縁膜形成処理ST42)。水素化処理と第2絶縁膜形成処理は基板を外気に晒さず連続して行うのが好ましい。その結果、半導体膜12はその表面側及び側面側が第二ゲート絶縁膜14に依って覆われ、エッジ部分での絶縁性を確保出来る。第二ゲート絶縁膜14はTEOS等を用いて

ステップカバレッジの優れた膜とする事が好ましい。勿論この時の原料ガスとしてモノシランと笑気ガスとの混合ガスを用いても良い。尚水素プラズマの照射と第二ゲート絶縁膜14の形成とは連続して行のが好ましいが、別々の装置で非連続としても良い。

【0110】(第四工程以降の工程)以降に行う工程はすべて350℃以下の温度条件下で行う。まず図16

(D)に示す様に基板10の全面にタンタル薄膜等の導電膜21をスパッタ法等に依り形成する。尚タンタル薄膜(導電膜21)はCVD法等に依っても形成出来る。

次に図16(E)に示す様に導電膜21をフォトリソグラフィ技術を用いてパターンニングし、第二ゲート絶縁膜14の表面にゲート電極15を形成する。次にゲート電極15をマスクとして半導体膜12に対して例えばリンイオン(不純物イオン)を導入する。その結果、半導体膜12にはゲート電極15に対して自己整合的にソース・ドレイン領域16が形成され、不純物イオンが導入されなかった部分はチャンネル領域17と成る。斯様な不純物の導入には例えばバケット型質量非分離型のイオン注入装置(イオンドーピング装置)を用いる事が出来、原料ガスとしては濃度が5%程度になる様に水素ガスで希釈したホスフィン(PH<sub>3</sub>)を用い事が出来る。尚Pチャンネル型のTFTを形成する場合には原料ガスとして水素ガスで濃度が5%程度と成る様に希釈したジボラン(B<sub>2</sub>H<sub>6</sub>)を用いればよい。

【0111】次に図16(F)に示す様にシリコン酸化膜からなる層間絶縁膜18をプラズマCVD法等に依り形成する。この時の原料ガスも例えばTEOSと酸素ガスとの混合ガスを用いる事が出来る。次に酸素雰囲気下で300℃、1時間程度の熱処理を行ない、注入したリンイオンの活性化と層間絶縁膜18の改質とを行なう。次にコンタクトホール19を形成し、しかる後にこのコンタクトホール19を介してソース・ドレイン領域16に導電接続するソース・ドレイン電極20を形成する。この様にして基板10の表面にTFT30を形成する。

【0112】尚本例及び以下に説明するいずれの実施例に於いても、TFT30を液晶表示パネルのアクティブマトリクスに於けるスイッチング素子として形成する場合には、ゲート電極15は走査線の一部として形成し、ソース・ドレイン電極20のうちの一方はデータ線として形成する。又ソース・ドレイン電極20のうちの他方は画素電極の一部として、又はそれと導電接続する電極として構成する。又本例及び、以下に説明するいずれの実施例もあくまで一例で有り、ソース・ドレイン領域16の内ゲート電極15の端部に対峙する領域に低濃度領域やオフセット領域を設けてもよい。

【0113】(第1実施例の主な効果)この様に本例のTFTの製造方法では第一工程ST1Cに於いて、下地保護膜11を形成してから第一ゲート絶縁膜13を形成する迄は基板10を大気に晒さないで、半導体膜12

の表面は下地保護膜11表面の汚染を被る事もない。又半導体膜12の表面は汚れた酸化や汚染を受けない。更に第三工程ST3Cで半導体膜12をパターンニングする前に第一工程ST1Cで第一ゲート絶縁膜13を形成して置くので、半導体膜12の表面はレジストで汚染されない。従ってチャンネル領域17/ゲート絶縁膜13の界面状態が良好で有る。更に又結晶化处理ST13に続いて水素化处理ST14及び酸化処理ST15を行う為、チャンネル領域17/ゲート絶縁膜13の界面状態が良好で有ると共に、自然酸化膜の影響を受けずに水素化处理ST14を行える。この為短時間の水素プラズマ処理で大きな効果を均一に得る事が出来、半導体膜10の電気伝導度が安定する。それ故TFTのオン電流や閾値電圧等と云った電気的特性が向上する。

【0114】又第二工程ST2Cでは第一ゲート絶縁膜13及び半導体膜12に急速加熱処理を行う為、良質の半導体膜12を得る事が出来ると共に第一ゲート絶縁膜13も緻密化するので、それを用いて製造したTFT30は信頼性が高い。然も急速加熱処理をパターンニング前に行う為、基板10の全面を均一に処理出来る。

【0115】更に第四工程ST4Cでは第一ゲート絶縁膜13に水素化处理ST41を行う為、第二工程ST2Cでの急速加熱処理で加熱されたときの劣化を修復する事が出来る。又半導体膜12をパターンニングする前に第一ゲート絶縁膜13を形成する為、それらのパターンニングを行った後には半導体膜12の側面部に第一ゲート絶縁膜13が残らないが、ゲート電極15と成る導電膜21を形成する前に第四工程ST4Cに於いてステップカバレッジの良い第二ゲート絶縁膜14を形成して半導体膜12の側面部を第二ゲート絶縁膜14で覆う。それ故同じ基板10上の他のTFTとショートすると云う事はなく、歩留り及び信頼性が高い。

【0116】更に又第四工程ST4C以降はすべて350℃の温度条件下で行う為、第二ゲート絶縁膜14に内包される水素が放出される事が無い。第二ゲート絶縁膜14を形成した以降に高温での処理を行うと、改めて第二ゲート絶縁膜14に長時間の水素化处理を行う必要が有る。然るに本例では第二ゲート絶縁膜14は高温に晒されないで、水素が安定した状態で結合したまま残り、最終的な水素化处理を行う必要もない。

【0117】尚本例では第一ゲート絶縁膜13を形成した後にTFT製造装置100から基板10を取り出し、最良の結果が得られた。しかしながら図14(D)に示した水素化处理ST14や酸化処理ST15を済ました後で、半導体表面が安定化させられた後で有れば、基板10を外に取り出して半導体膜のパターンニングを行い、その後は従来と同じ工程にてTFTを作成する事も可能で有る。斯様な工程を採用した場合、MOS界面やゲート絶縁膜は本願発明よりは劣るものの、同じ工程数でありながら、従来のTFTに比較して遥かに優れた特性

を有するTFTを製造する事が出来る。

【0118】[第2実施例]本例で行う各工程の内第1実施例と共通する工程については同じ符合を付してそれらの詳細な説明を省略する。尚本例は図4を参照して説明した製造方法に対応する。

【0119】(第一工程ST1D)本例では図17

(A)に示す様に超音波洗浄等に依り清浄化したガラス製の基板10を準備する。この基板10を減圧状態とされた酸化性処理室140内に設置し、図17(B)に示す様に基板温度が約150℃から約450℃の温度条件下で基板10の全面に厚さが200nm程度のシリコン酸化膜からなる下地保護膜11をプラズマCVD法に依り形成する(下地保護膜形成処理)。

【0120】続いて基板10を大気に晒す事なく還元性処理室120に移し、基板10をアルゴンガスを含む減圧下に於いて基板温度が約150℃から約450℃の温度条件下で、基板10の全面に厚さが60nmのアモルファスシリコン膜からなる半導体膜12をプラズマCVD法に依り形成する(半導体膜形成処理ST12)。

【0121】次に基板10を大気に晒す事なく結晶化室130に移す。結晶化室130では図17(C)に示す様にランプLから照射される高エネルギー光(RTA光)に依って、半導体膜12の少なくとも表面層を真空中(減圧下)又は水素ガス含有雰囲気や1気圧以上のフォーミングガス雰囲気(10%程度未満の水素ガス含有還元性雰囲気)等と云った非酸化性雰囲気中に於いて結晶化する(結晶化処理ST13/急速加熱処理に依る固相結晶化ST132)。ここで急速加熱処理に依る固相結晶化ST132に代えて真空中又は水素ガス含有雰囲気や1気圧以上のフォーミングガス雰囲気等と云った非酸化性雰囲気中でのレーザー照射等に依る溶融結晶化ST131に依り半導体膜12を結晶化してもよい。

【0122】次に基板10を大気に晒す事なく酸化性処理室140に移す。酸化性処理室140では図17

(D)に示す様に基板10を減圧下に設置して基板温度が約150℃から約450℃の温度条件下で基板10の全面に厚さ10nm~50nmのシリコン酸化膜からなる第一ゲート絶縁膜13をプラズマCVD法に依り形成する(第一ゲート絶縁膜形成処理ST16)。この第一ゲート絶縁膜形成処理の直前に水素プラズマ照射等に依る水素化処理と酸素プラズマ照射等に依る酸化処理を連続で施せば、尚更トランジスタ特性が向上して好ましいのは実施例1と同様で有る。

【0123】(第二工程ST2D)次に図17(E)に示す様に半導体膜12及び第一ゲート絶縁膜13に対して急速加熱処理を行う。この急速加熱処理では半導体膜12の結晶化が部分的では有るが一層進展する。急速加熱処理では基板10の一部が秒オーダー程度以下の短時間で処理される為、基板10に歪み等が発生しない。この時第一ゲート絶縁膜13は下層に位置する半導体膜12

から熱を受けて高温になり、緻密化する等の膜質改善が進む。然も急速加熱処理をパターニング前に行う為、急速加熱処理を均一に行う事が出来る。斯様な急速加熱処理は結晶化室130を水素ガス含有雰囲気、酸素ガス含有雰囲気、又は水蒸気含有酸性雰囲気として行う。又これらを順次繰り返した雰囲気中で急速加熱処理を行ってもよい。

【0124】(第三工程ST3D)次に図18(A)に示す様に第一ゲート絶縁膜13の表面に所定のマスクパターンのレジストマスク22を形成し、図18(B)に示す様に第一ゲート絶縁膜13及び半導体膜12をフォトリソグラフィ技術を用いてパターニングする。

【0125】(第四工程ST4D)次に図18(C)に示す様に第一ゲート絶縁膜13の表面を減圧下でのドライエッチングに依り除去し、第一ゲート絶縁膜13表面を清浄化する。この工程では第一ゲート絶縁膜13に対するエッチングをウェットエッチングで行っても良い。ここでは第一ゲート絶縁膜13の表面のみをエッチングするので、エッチング工程にて半導体膜12が汚染される事がない。ドライエッチングを行う際は前述のエッチングガス(CF<sub>4</sub>、NH<sub>3</sub>、SF<sub>6</sub>等)を用いても良いが、これらのエッチングガス成分(C、N、S、F等)がゲート絶縁膜中に混入して絶縁膜質を低下させる原因と成る。それ故ドライエッチングは10mTorr程度以下の真空中で高純度の水素や酸素に依り行うのが好ましい。こうするとゲート絶縁膜を高純度とする事が出来、絶縁膜中の固定電化の低減や絶縁耐圧の向上が容易に達せられる。

【0126】(第五工程ST5D)第四工程ST4Dに続いて直ちに第一ゲート絶縁膜13に対して水素プラズマを照射し、第一ゲート絶縁膜13に水素化処理ST41を行う。続いて図18(D)に示す様に基板温度が約150℃から約450℃の温度条件下で、基板10の全面にシリコン窒化膜等からなる第二ゲート絶縁膜14をプラズマCVD法に依り形成する(第二ゲート絶縁膜形成処理ST42)。その結果半導体膜12はその表面側及び側面部が第二ゲート絶縁膜14に依って覆われる事と成り、エッジ部分での絶縁性を確保出来る。第二ゲート絶縁膜14を窒化膜とすると、絶縁膜全体の誘電率が大きくなるので、高いオン電流が得られる。又第二ゲート絶縁膜にTEOS等を用いた酸化膜を用いるとステップカバレッジが優れ、電氣的短絡に対する歩留りが向上する。第一ゲート絶縁膜清浄化処理をドライエッチングで行う場合、この第四工程から第二ゲート絶縁膜形成処理迄を外気に晒す事無く連続で行うのが好ましい。第一ゲート絶縁膜清浄化処理が終了した後に基板を外気に晒すとそれだけで第一ゲート絶縁膜表面が汚染されて仕舞うからで有る。

【0127】(第五工程以降の工程)これ以降の工程は図18(E)~(G)に示す様に第1実施例と同様で有る

る為、それらの説明を省略する。

【0128】(第2実施例の主な効果)この様に本例のTFTの製造方法では、第一工程ST1Dに於いて下地保護膜11を形成してから第一ゲート絶縁膜13を形成する迄は基板10を大気に晒さないで、半導体膜12は下地保護膜11表面の汚染を被る事もない。又半導体膜12の表面は酸化や汚染を受けない。更に第三工程ST3Dで半導体膜12をパターニングする前に第一工程ST1Dで第一ゲート絶縁膜13を形成して置くので、半導体膜12の表面はレジストで汚染されない。従ってチャネル領域17/ゲート絶縁膜13の界面状態が良好で有る等、第1実施例と略同様な効果を奏する。

【0129】また図18(A)に示す様に半導体膜12をフォトリソグラフィ技術を用いてパターニングする時に用いたレジストマスク22に依って第一ゲート絶縁膜13の表面が汚染されるが、第四工程ST4Dでは図18(C)に示す様に第一ゲート絶縁膜13の表面を真空中で除去し清浄化するので、TFTの電気的特性が安定する。然も第一ゲート絶縁膜13の表面を清浄化するのに第一ゲート絶縁膜13表面のみをエッチングして居る為、半導体膜12はこの間も大気に晒されない。従って半導体膜12表面の汚染を確実に防止出来、TFTの電気的特性が安定する。

【0130】[第3実施例]第1、2実施例では一貫して低温プロセスを用いる事を前提としていたが、本例では第二ゲート絶縁膜14を形成するのに熱酸化法(高温プロセス)を用いる点で第1、2実施例と相違する。しかしながら本例の製造方法は基本的な工程が部分的に第2実施例と共通するので、共通する工程については図17を参照して説明する。尚本例は図6を参照して説明した製造方法に対応する。

【0131】(第一工程ST1F)本例でも図17(A)に示す様にガラス製の基板10を減圧状態とされた酸化性処理室140内に設置する。次に図17(B)に示す様に基板温度が約150℃から約450℃の温度条件下でシリコン酸化膜からなる下地保護膜11をプラズマCVD法に依り形成する(下地保護膜形成処理)。

【0132】続いて基板10を大気に晒す事なく還元性処理室120に移し、アルゴンガスとシランを含む減圧下に設置して、基板温度が約150℃から約450℃の温度条件下でアモルファスシリコン膜等から成る半導体膜12をプラズマCVD法に依り形成する(半導体膜形成処理ST12)。次に基板10を大気に晒す事なく結晶化室130に移し、図17(C)に示す様にランプから照射される高エネルギー光やレーザー光に依って、半導体膜12の少なくとも表面層を真空中(減圧下)や水素ガス含有雰囲気下、1気圧程度以上のフォーミングガス雰囲気等と云った非酸化性雰囲気中に於いて結晶化する(結晶化処理ST13/レーザー照射等の溶融結晶

化ST131、又は急速加熱処理等に依る固相結晶化ST132)。次に基板10を大気に晒す事なく酸化性処理室140に移し、図17(D)に示す様に基板10を減圧下に保持したまま、シリコン酸化膜からなる第一ゲート絶縁膜13をプラズマCVD法に依り形成する(第一ゲート絶縁膜形成処理ST16)。この第一ゲート絶縁膜形成処理前に水素化処理と酸化処理を連続して施すのが好ましいのは先と同様で有る。

【0133】(第二工程ST2F)次に図17(E)に示す様に半導体膜12及び第一ゲート絶縁膜13に対して急速加熱処理を行う。この工程は第一工程と連続(基板を外気に晒さない)で有っても、非連続で(基板を一度外気に晒す)で有っても構わない。連続で有れば外気からの汚染を最小限に止められる。一方非連続で有れば第二工程で汎用熱処理装置を使用出来、価格の低減化に役立つ。

【0134】(第三工程ST3F)次に図19(A)に示す様に第一ゲート絶縁膜13の表面に所定のマスクパターンのレジストマスク22を形成し、図19(B)に示す様に第一ゲート絶縁膜13と共に半導体膜12をフォトリソグラフィ技術を用いてパターニングする。

【0135】(第四工程ST4F)次に図19(C)に示す様に酸化性雰囲気内での熱酸化法に依り半導体膜12の表面(第一ゲート絶縁膜13と半導体膜12の間)及び側面部にシリコン酸化膜からなる第二ゲート絶縁膜14を形成する。その結果半導体膜12はその表面側及び側面部が第二ゲート絶縁膜14に依って覆われ、エッジ部分での絶縁性を確保出来る。第二ゲート絶縁膜形成直前には第三工程で汚染された第一ゲート絶縁膜表面をフッ化水素酸水溶液等の溶液でエッチングし、清浄化しておくのが好ましい。

【0136】(第四工程以降の工程)それ以降の工程は図19(D)～(F)に示す様に第1実施例と同様で有る為、それらの説明を省略する。

【0137】(第3実施例の主な効果)斯様な高温プロセスを利用した製造方法も第1、2実施例と同様に第一工程ST1Fでは下地保護膜11を形成してから第一ゲート絶縁膜13を形成する迄は基板10を大気に晒さない。その結果半導体膜12の表面や下地保護膜側表面は汚染を被る事もない。第二絶縁膜形成工程では酸素等の酸化物はゲート絶縁膜中を拡散して行き、半導体膜表面で酸化物を形成する。従って半導体膜12と第一ゲート絶縁膜13の界面が汚染されて居ると、熱酸化後は第二ゲート絶縁膜14と第一ゲート絶縁膜13の界面が汚染される事と成り、その結果低品質なゲート絶縁膜と化して仕舞う。これに対して本願発明では半導体膜12と第一ゲート絶縁膜13の界面が清浄で有るが故、熱酸化後も高品質なゲート絶縁膜が得られる。

【0138】又通常ゲート絶縁膜の形成には長時間を費やすのに対し、本例では第一ゲート絶縁膜をCVD法等



で形成する為、ゲート絶縁膜の形成時間を短縮する事が可能に成る。これは特に高温プロセスの低温化（例えば工程最高温度を1000℃程度未満とする）に際して有効と成る。又従来は高温プロセスの低温化を図ると、半導体品質が悪化し、TFT特性は優れぬ物で有った。然るに本願発明では半導体膜は第一工程にて高品質化されて居るので、工程最高温度を1000℃程度未満と低温化しても優れた電気特性を有するTFTを作成出来るので有る。こうした意味では本願発明は取り分け工程最高温度が1000℃程度未満の高温プロセスに最適と云える。

【0139】更に第四工程ST4Fでは半導体膜表面に第二ゲート絶縁膜14としての酸化膜を形成する際に熱処理を行う為、半導体膜12からストレスが開放される。それ故良質の半導体膜12を得る事が出来る。この時第一ゲート絶縁膜13も加熱され、緻密化等の高品質化が進むのでそれを用いて製造したTFTは信頼性が高い。然も第一ゲート絶縁膜13及び半導体膜12をバナーニングした後に第二ゲート絶縁膜を形成して半導体膜の側面を覆うので、ショートが発生しない。それ故本例に依れば歩留り及び信頼性が高い。

【0140】[その他のTFT製造装置の例]

(別のマルチチャンバー型のTFT製造装置での製造)  
上記の各いづれの実施例も図9乃至図11に示したTFT製造装置を利用する形態で説明したが、図20に示すTFT製造装置（真空系装置）を用いてもよい。

【0141】図20は本発明の実施に用いる事の出来るTFT製造装置の概略構成図で有る。この図から分かる様に、TFT製造装置100Aには搬送ロボットTFRが配置された搬送室CCが構成され、その周りには第1ロードロック室LL1と予備加熱室PHR、CVD法やPVD法に依り半導体膜の形成を行うための半導体成膜室CHM1と、レーザーアニールやRTA、イオン・ボンバードメント法等に依る結晶化を行うための結晶化室CRYSと、シリコン酸化膜（第一ゲート絶縁膜）の形成や水素化処理及び酸化処理を行うための処理室CHM2と、第2ロードロック室LL2とがこの順に構成されて居る。これらの処理室等と搬送室CCとは其々シャッターS3、S4、S5、S6、S7、S8を介して接続して居る。第1ロードロック室LL1及び第2ロードロック室LL2にはシャッターS1、S2に依って開閉される基板搬入口及び基板搬出口が其々構成されて居る。

【0142】この様に構成したTFT製造装置100Aに於いて第1実施例の図14(B)～図14(E)に示した工程を行う場合を説明する。

【0143】まず20枚の基板sub1～sub20（基板10）を第1ロードロック室LL1に搬入する。次に搬送ロボットTFRは20枚の基板sub1～sub20を425℃程度に設定された予備加熱室PHRに搬入する。基板sub1～sub20の其々が予備加熱

室PHRに20分間以上収容されていた事を確認してから、搬送ロボットTFRは20枚の基板sub1～sub20のうちから1枚目の基板sub1を予備加熱室PHRから半導体成膜室CHM1に搬入する。

【0144】半導体成膜室CHM1は基板の表面に下地保護膜及びアモルファスシリコン膜（半導体膜）を形成するためのPECVD装置として構成され、サセプタ温度は400℃程度に設定されて居る。この半導体成膜室CHM1に搬入された基板sub1を成膜を開始する迄、成膜の安定化を図る事を目的に以下に示す条件

笑気ガス流量 = 7000 SCCM

モノシランガス流量 = 250 SCCM

圧力 = 1.5 Torr

基板間隔 = 24 mm

RF電力 = 0 W（プラズマを形成しない。）

時間 = 30 秒

に置く。次に半導体成膜室CHM1内で基板sub1の表面にシリコン酸化膜からなる下地保護膜11を形成する（図14(B)参照）。この成膜工程は以下の条件

笑気ガス流量 = 7000 SCCM

モノシランガス流量 = 250 SCCM

圧力 = 1.5 Torr

基板間隔 = 24 mm

RF電力 = 900 W

時間 = 60 秒

で行う。その結果基板sub1の表面には厚さが2400オングストロームのシリコン酸化膜からなる下地保護膜11が形成される。次に半導体成膜室CHM1での成膜条件を切り換える為に半導体成膜室CHM1内で基板sub1は以下の条件

アルゴンガス流量 = 6500 SCCM

モノシランガス流量 = 75 SCCM

圧力 = 2.25 Torr

基板間隔 = 24 mm

RF電力 = 0 W（プラズマを形成しない。）

時間 = 30 秒

に置く。次に半導体成膜室CHM1で基板sub1の表面にはアモルファスシリコン膜からなる半導体膜12を形成する（図14(B)参照）。この成膜工程は以下の条件

アルゴンガス流量 = 6500 SCCM

モノシランガス流量 = 75 SCCM

圧力 = 2.25 Torr

基板間隔 = 24 mm

RF電力 = 600 W (0.287 W/cm<sup>2</sup>)

時間 = 280 秒

で行う。

【0145】次に搬送ロボットTFRは1枚目の基板sub1を半導体成膜室CHM1から結晶化室CRYSに搬入すると共に、2枚目の基板sub2を予備加熱室P

HRから半導体成膜室CHM1に搬入する。

【0146】結晶化室CRYSに搬送された1枚目の基板sub1に以下の条件

サセブタ温度 = 400 °C

水素ガス流量 = 100 SCCM

圧力 = 3.0 Torr

レーザー = KrF (248nm) ラインビーム

レーザービーム半値幅 = 100 μm

レーザーのピークエネルギー密度 = 220 mJ/cm<sup>2</sup>

レーザー照射条件 = 95%重ね (5 μm/ショット)

発振周波数 = 200 Hz

時間 = 400 秒

でレーザー照射を行い、半導体膜12の結晶化を行う (図14 (C) 参照)。この間半導体成膜室CHM1に搬送された2枚目の基板sub2は前述の条件でシリコン酸化膜 (下地保護膜11) 及びアモルファスシリコン膜 (半導体膜12) が形成される。

【0147】次に搬送ロボットTFRは1枚目の基板sub1を結晶化室CRYSから処理室CHM2に入送すると共に、2枚目の基板sub1を半導体成膜室CHM1から結晶化室CRYSに搬入する。また搬送ロボットTFRは3枚目の基板sub3を予備加熱室PHRから半導体成膜室CHM1に搬入する。

【0148】処理室CHM2に搬送された1枚目の基板sub1を以下の条件

サセブタ温度 = 400 °C

水素ガス流量 = 1400 SCCM

圧力 = 190 mTorr

基板間隔 = 12 mm

RF電力 = 100 W (0.0478 W/cm<sup>2</sup>)

時間 = 180 秒

で水素化処理する (図14 (D) 参照)。次に処理室CHM2での処理条件を切り換える為に処理室CHM2内で基板sub1を以下の条件

酸素ガス流量 = 3000 SCCM

圧力 = 1 Torr

基板間隔 = 12 mm

RF電力 = 0 W (プラズマを形成しない。)

時間 = 30 秒

に置く。次に処理室CHM2内で1枚目の基板sub1を以下の条件

サセブタ温度 = 400 °C

酸素ガス流量 = 3000 SCCM

圧力 = 1 Torr

基板間隔 = 12 mm

RF電力 = 900 W (0.430 W/cm<sup>2</sup>)

時間 = 30 秒

で酸化処理する (図14 (D) 参照)。次に処理室CHM2での処理条件を切り換える為に処理室CHM2内を以下の条件

TEOS流量 = 60 SCCM

酸素ガス流量 = 1500 SCCM

圧力 = 650 mTorr

基板間隔 = 12 mm

RF電力 = 0 W (プラズマを形成しない。)

時間 = 30 秒

10 とする。次に処理室CHM2で基板sub1の表面にシリコン酸化膜からなる第一ゲート絶縁膜13を形成する (図14 (E) 参照)。この工程は以下の条件

TEOS流量 = 60 SCCM

酸素ガス流量 = 1500 SCCM

圧力 = 650 mTorr

基板間隔 = 12 mm

RF電力 = 900 W (0.430 W/cm<sup>2</sup>)

時間 = 120 秒

で行う。この様にして処理室CHM2内では基板sub1に形成した半導体膜12に対する水素化処理及び酸化処理と第一ゲート絶縁膜13の成膜とを行う。この間の所要時間は390秒間で有る。この間半導体成膜室CHM1に搬送された3枚目の基板sub3は前述の条件でシリコン酸化膜 (下地保護膜11) 及びアモルファスシリコン膜 (半導体膜12) が形成される。又結晶化室CRYSに搬送された2枚目の基板sub2の半導体膜12は前述の条件でレーザー照射に依る結晶化が施される。

【0149】以後これを繰り返して各基板sub1~20 0に対する処理を順次行くと共に、第2ロードロック室LL2に搬送されてきた基板を順次装置外に搬出し、以降の処理を行う。

【0150】 (更に別のTFT製造装置での製造) 図21は本発明の実施に用いる事の出来るTFT製造装置 (大気圧系装置) の概略構成図で有る。この図から分かる様に、TFT製造装置100Bには基板の搬送方向の上流側から下流側に向かって第1ロードロック室LL1B、第1処理室CHM1B、第2処理室CHM2B、第3処理室CHM3B、第2ロードロック室LL2Bがこの順に構成され、これらの処理室等の間にはシャッタS2B、S3B、S4B、S5Bが設けられて居る。第1処理室CHM1Bと第2処理室CHM2B及び第3処理室CHM3Bにはローラコンベアを用いた基板搬送装置CONが設けられて居る。各処理室等には排気管ex1~ex5が接続し、ここからの排気量を各圧力調整装置PC1~PC5で調整する事に依って処理室等の内圧を調整出来る様になって居る。又各処理室等の内圧は第1乃至第5圧力計PG1~PG5に依って其々監視出来る様になって居る。

50 【0151】第1ロードロック室LL1Bには基板の搬



入口にシャッタS1Bが配置され、第1ガス導入管G11が接続されて居る。

【0152】第1処理室CHM1Bは長さが180cm程度の予備加熱ゾーンZ21、成膜ゾーンZ22、後加熱ゾーンZ23、及び結晶化ゾーンZ24が構成され、各ゾーンにはヒータが配置されて居る。第1処理室CHM1Bの内予備加熱ゾーンZ21及び成膜ゾーンZ22に相当する位置には第2ガス導入管G12及び第3ガス導入管G13が其々接続し、第3ガス導入管G13には第1成膜ヘッドCH1が接続して居る。後加熱ゾーンZ24に対してはレーザー発振器LA1と光学系LA2、レーザー光路LA3、及びレーザー光導入口LA4が構成され、そこを通過する基板に対してレーザー照射を行える様になって居る。

【0153】第2処理室CHM2Bには水素化ゾーンZ31が構成され、この水素化ゾーンZ31の終段側は、そこを通過する基板にRTA用のランプ光を光導入口Z44を介して照射する様になって居る。第2処理室CHM2Bの内水素化ゾーンZ31の前段側に相当する位置には第4ガス導入管G14が接続して居る。

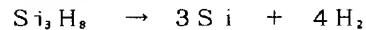
【0154】第3処理室CHM3Bには酸化ゾーンZ41及び酸化膜形成ゾーンZ42が構成されて居る。第4処理室CHM4Bの内酸化ゾーンZ41に相当する位置にはオゾン発生器GFが連結された第5ガス導入管G15が接続し、この第5ガス導入管G15には第2成膜ヘッドCH2が接続して居る。又酸化膜形成ゾーンZ42に相当する位置にはオゾン発生器GF及び原料ガス供給器GGが連結された第6ガス導入管G16が接続し、この第6ガス導入管G16には第3成膜ヘッドCH3が接続して居る。

【0155】第2ロードロック室LL2Bには基板の搬出口にシャッタS6Bが配置され、第7ガス導入管G17が接続されて居る。

【0156】この様に構成したTFT製造装置100Bを用いて第1実施例の図14(B)～図14(E)に示した工程(下地保護膜の形成工程を除く。)を行う場合を説明する。

【0157】まずシャッタS1Bを開き、20枚の基板sub1～sub20(基板10)を第1ロードロック室LL1Bに搬入する。次にシャッタS1Bを閉じ、ガス導入管G11からアルゴン/水素(水素=3%程度)混合気体を第1ロードロック室LL1Bに導入する。圧力調整装置PC1に依り第1ロードロック室LL1B内の圧力を1atm程度から5atm程度の諸望の圧力とする。第1ロードロック室LL1B内に於ける酸素の分圧が0.5Torr程度未満となったら、第1乃至第3処理室CHM1B～CHM3Bの処理圧力が1atm程度から5atm程度と成る様に圧力調整装置PC1に依り調整し、その後シャッタS2Bを開けて1枚目の基板sub1を第1処理室CHM1Bに搬入する。

【0158】第1処理室CHM1Bではヒータに依り基板sub1を400℃程度に加熱する。基板sub1は基板搬送装置CONに依り1cm/秒程度の速度で搬送する。予備加熱ゾーンZ21の長さは基板sub1が3分間程度以上加熱される様に180cm程度以上で有る。基板sub1が第1成膜ヘッドCH1の下方位置(成膜ゾーンZ22)に搬送されて来たら、第3ガス導入管G13からトリシランを500SCCM程度導入して第1成膜ヘッドCH1のスリット(図20(B)、(C)参照。)から基板sub1に向けて供給し、以下の反応式



で表される熱分解反応を利用してアモルファスシリコン膜からなる半導体膜12を形成する(図14(B)参照)。この時第2ガス導入管G12からはアルゴン/モノシラン(モノシラン=0.1%程度)を導入する。第2ガス導入管G12はシャッタS2Bの側に設けて有るので、成膜ヘッドCH1で発生した水素や未反応のトリシラン等の全てのガスは、第1処理室CHM1B内を基板搬送方向に於ける上流側から下流側に流れる。この時成膜ヘッドCH1と基板sub1の間隔は1mm程度～5mm程度に保たれて居り、スリット幅は0.5mm程度～2mm程度で有る。半導体膜12が形成された基板sub1はその後加熱ゾーンZ23に搬送され、そこで1分程度の加熱処理を受けた後、結晶化ゾーンZ24に搬送される。結晶化ゾーンZ24では基板sub1は400℃程度に加熱された状態でレーザー照射される(図14(C)参照)。この際にはアルゴン/モノシラン、トリシラン、水素等は第1処理室CHM1B内を基板搬送方向に於ける上流側から下流側に流れるので、この時の結晶化はアルゴン含有還元性雰囲気下で行われる。

【0159】結晶化が終了した後シャッタS3Bを開け、基板sub1を第2処理室CHM2Bに搬送する。第2処理室CHM2Bは第4ガス導入管G14から水素/アルゴン混合気体が導入され、水素雰囲気(全圧は1atm程度から5atm程度で、水素の分圧は0.03atm程度から3atm程度)になって居ると共に、ヒータに依り350℃程度に加熱されて居る。第2処理室CHM2Bでは基板sub1上に形成された半導体膜12はRTA用のランプ光を1秒程度受け、基板表面の最高温度は600℃程度から900℃程度へと上昇する。ここでは半導体膜の熱処理を兼用した水素化処理が行われる(図14(D)参照。)

【0160】水素化処理が終了した後でシャッタS4Bを開ける前には、第2処理室CHM2B及び第3処理室CHM3Bの少なくとも一方は不活性雰囲気として置く。理想的には第2処理室CHM2Bの水素分圧を0.1atm未満、第3処理室CHM3Bの酸素分圧を0.1atm未満とした後、シャッタS4Bを開けて基板sub1を第3処理室CHM3Bに搬送する。

【0161】第3処理室CHM3Bの酸化ゾーンZ41では第2成膜ヘッドCH2からオゾンを経1%程度〜10%程度以上含有した酸素を流し、基板sub1の表面に形成した半導体膜12の酸化を進める（酸化処理／図14（D）参照）。続いて第3処理室CHM3Bの酸化膜形成ゾーンZ42では第3成膜ヘッドCH3からTEOS、オゾン及び酸素の混合気体（全圧が1atm程度から5atm程度、TEOS流量=100SCCM、オゾン5%含有の酸素流量=5SLM）を流して第一ゲート絶縁膜13を形成する（図14（E）参照）。 10

【0162】第一ゲート絶縁膜13を形成した後は基板sub1を第2ロードロック室LL2Bに搬送する。以上の工程は2枚目以降の基板sub2〜sub20についても同様に行われるがいずれのタイミングに於いても、隣合うシャッタが同時に開かぬ様に制御されながら各基板の処理が進められる。20枚の基板sub1〜sub20の全てが第2ロードロック室LL2Bに搬送された時にシャッタS5Bが閉じたのを確認してからシャッタS6Bを開き、第2ロードロック室LL2Bから基板sub1〜sub20を搬出する。 20

【0163】〔第4実施例〕上記の各実施例は第一ゲート絶縁膜13を形成した後、このゲート絶縁膜13及び半導体膜12に熱処理を行ったが、以下の実施例が示す様に半導体膜12を形成してから第一ゲート絶縁膜13を形成する迄は基板10を大気に晒さず、且つ半導体膜12に対して水素化処理又は酸化処理を行う様に構成しても、高品質の半導体膜12を形成する事が出来るので、歩留り及び信頼性の高いTF Tを製造出来る。

【0164】（TF T製造装置の概略構成）図22を参照して本例のTF Tの製造方法に用いるマルチチャンバー型のTF T製造装置の概略構成を説明する。 30

【0165】図22にて本例のTF T製造装置400はプラズマCVD法に依る成膜を行うと共に水素プラズマ処理や酸素プラズマ処理を行うためのプラズマCVD装置420と、急速熱処理（RTA）やレーザー照射を行うためのアニール室430と、これらの間を接続する搬送室440とが設けられて居る。搬送室440はプラズマCVD装置420とアニール室430との間で基板を搬送するロボットアーム（図示を省略して、その搬送方向を矢印A41、A42、B41、B42で示す。）が配置されて居る。プラズマCVD装置420とアニール室430及び搬送室440に対してはドライポンプやターボ分子ポンプなどを備える真空排気系450、460、470が其々設置され、減圧下や非酸化性雰囲気下、還元性ガス雰囲気下、又は不活性ガス雰囲気下にて基板を扱う事が可能になって居る。プラズマCVD装置420と搬送室440との間やアニール室430と搬送室440との間は矢印A41、A42、B41、B42で示す搬出入動作に連動して開閉されるシャッターS41、S42で仕切られて居る。又搬送室440と室外と 50

の間も矢印C41、C42で示す基板の搬出入動作に連動して開閉されるシャッターS43で仕切られて居る。プラズマCVD装置やアニール室については図12及び図13を参照して説明した物を其々用いる事が出来る。

【0166】（TF Tの製造方法）次に図22及び図23を参照して本例のTF Tの製造方法を説明する。尚図23は本例のTF Tの製造方法を示す工程断面図であり、これらの工程の中で図23（B）に示す工程から図23（E）に示す工程迄は図22に示すTF T製造装置100内で行う。尚本例は図7を参照して説明した製造方法に対応する。

【0167】図23（A）に示す様に、まず超音波洗浄などに依り清浄化したガラス製の基板10を準備し、この基板10をTF T製造装置400の搬送室440に入れ、 $10^{-1}$ Torrから $10^{-2}$ Torr程度の減圧下とした後、基板10を大気に晒す事なく搬送室440からプラズマCVD装置420の反応室401に搬入する。

【0168】図23（B）に示す様に減圧状態とされたプラズマCVD装置420の反応室401内部に基板を設置した後、プラズマCVD法に依り基板温度が約150℃から約450℃の温度条件下で、基板10の全面にシリコン酸化膜や窒化シリコン膜からなる下地保護膜11を形成する（下地保護膜形成処理）。尚下地保護膜12としてはシリコン窒化膜やシリコン酸化膜等の単層の絶縁膜の他、それらの多層膜を用いる事も出来る。

【0169】（第一工程ST1G）続いて基板10を大気に晒す事なく、プラズマCVD装置420の反応室201内部にて、基板10を減圧下に保持したままプラズマCVD法に依り基板温度が約150℃から約450℃の温度条件下で基板10の全面にアモルファスシリコン膜等から成る半導体膜12を形成する（半導体膜形成処理ST12）。この時の原料ガスとしては例えばジシランやモノシランを用いる。

【0170】次に基板10をプラズマCVD装置420の反応室401から搬送室440に搬出した後、基板10を搬送室440からアニール室430に搬入する。この間プラズマCVD装置420の反応室401も搬送室440もアニール室430の内部も減圧下又は非酸化性雰囲気中に保持され居り、基板は大気に晒されない。アニール室430では図24（C）に示す様に光源から照射される高エネルギー光（RTA光やレーザー光）に依って、半導体膜12の少なくとも表面層を減圧下又は非酸化性ガス中（水素ガス雰囲気下又はアルゴンガス含有還元性雰囲気下）に於いて結晶化処理ST13を行う（溶融結晶化ST131や固相結晶化ST132）。この時基板10の表面や半導体膜12の表面はレジスト等で汚染されておらず、然も半導体膜表面に酸化膜も形成されていないので、結晶化後の半導体膜12に結晶化工程での不純物混入がなく極めて高純度となる。又半導体

膜中に不純物がない為、余分な結晶核が発生せず、至って結晶粒が大きく成長し得る。

【0171】次に基板10をアニール室430から搬送室440に搬出した後、基板10を搬送室440からプラズマCVD装置420の反応室401に搬入する。この間もプラズマCVD装置420内は総て減圧下又は非酸化性雰囲気中に保持されて居り、基板は大気に晒されない。プラズマCVD装置420の反応室401では、図23(D)に示す様に基板10を減圧下に保持したまま水素プラズマを照射して、結晶化した半導体膜12に存在する欠陥を低減する。即ち半導体膜12中に成在するシリコン膜の不整結合を終端化する(水素化处理ST14)。このプラズマ処理、酸素プラズマ処理(酸化処理ST15)で有っても構わない。その場合半導体膜中の欠陥は酸素で終端化される事と成る。又このプラズマ処理に引き続いて酸化膜が形成されるので酸素プラズマに依る半導体膜表面酸化は良好なMOS界面を形成する上で好ましい。理想的には水素プラズマを照射した後に真空を破らず酸素プラズマを照射し、更に真空を破らず第1ゲート絶縁膜形成を総て連続で行うのが好ましい。通常秒オーダー以下の短時間で結晶化を真空乃至非酸化性雰囲気下で行うと、結晶化膜の表面は非常に活性化されて居る。この状態で空気に触れると空中のゴミ等に依り半導体表面は簡単に汚染されて仕舞う。本願発明では斯様な活性表面を水素や酸素で終端化し安定として居る。水素プラズマや酸素プラズマを作る水素ガスや酸素ガスの純度は、99.9999%程度以上が好ましく、プラズマ処理時の圧力に対して $10^{-8}$ 程度高い背景真空度が求められる。例えば酸素プラズマ処理を $1\text{ Torr}$ で行う場合には背景真空度は $10^{-8}\text{ Torr}$ 程度より高真空で有る事が求められる。続いて基板10を大気に晒す事なく連続して、プラズマCVD法に依り基板温度が約 $150^{\circ}\text{C}$ から約 $450^{\circ}\text{C}$ の温度条件下で、基板10の全面にシリコン酸化膜からなる第一ゲート絶縁膜13を形成する(第一ゲート絶縁膜形成処理ST16)。この時の原料ガスとしては例えばモノシランと笑気ガスとの混合ガスやTEOSと酸素との混合ガスを用いる。

【0172】その後基板10をプラズマCVD装置420の反応室401から搬送室440に搬出した後、基板10を搬送室440から装置外に取り出す。

【0173】(第二工程ST2G)これ以降の工程は第1実施例(図16)と同様で有る為、同じく図16を参照して簡単に説明する。まず図16(A)に示す様に所定のマスクパターンのレジストマスク22を形成し、図16(B)に示す様に第一ゲート絶縁膜13と共に半導体膜12をフォトリソグラフィ技術を用いてパターンニングする。

【0174】(第三工程ST3G)次に図16(C)に示す様にプラズマCVD法に依り基板温度が約 $150^{\circ}\text{C}$ から約 $450^{\circ}\text{C}$ の温度条件下で、基板10の全面にシリ

コン酸化膜や窒化シリコン膜から成る第二ゲート絶縁膜14を形成する。その結果半導体膜12はその表面側及び側面部が第二ゲート絶縁膜14に依って覆われる(第二ゲート絶縁膜工程)。第二ゲート絶縁膜14はTEOS等を用いてステップカバレッジの優れた膜とする事が好ましい。勿論この時の原料ガスとしてモノシランと笑気ガスとの混合ガスを用いも良い。又絶縁膜の誘電率を大きくしてオン電流を大きくする様に窒化膜を用いても良い。

10 【0175】(第三工程以降の工程)それ以降の工程は第1実施例と同様で有る為、それらの説明を省略する。

【0176】(第4実施例の効果)斯様な製造方法では、第一ゲート絶縁膜13を形成する迄は基板10を大気に晒さない。従ってアニール処理を行った後の結晶化半導体膜12の表面はガス種との反応に依って酸化される事がなく、又炭化水素その他の汚染物質に依って汚染される事もない。更に下地保護膜形成から半導体膜も外気と隔絶した状態で連続して行うので、半導体膜が下地保護膜表面からの汚染を被る事もない。こうして高品質の半導体膜が容易に得られる。加えてチャネル領域17とゲート絶縁膜13の界面状態が良い為、TFIT30のオン電流や閾値電圧等と云った電気的特性が向上する。又結晶化処理後水素化处理ST14(水素プラズマ処理)や酸化処理ST15(酸素プラズマ処理)の前に半導体膜10の表面が大気に晒されない為、大気に依るMOS界面の汚染も生じない。更に水素化处理ST14や酸化処理ST15では自然酸化膜の影響を受けない為、短時間の処理で大きな効果を均一に得る事が出来、半導体膜10の電気伝導度が安定するので、矢張りTFIT30のオン電流などと云った電気的特性が向上する。特に酸化処理ST15では安定した清浄なMOS界面が容易に形成される。

30 【0177】本例では半導体膜12をパターンニングする前に第一ゲート絶縁膜13を形成するが故、それらのパターンニングを行った後には半導体膜12の側面部に第一ゲート絶縁膜13は残らない。しかしながらゲート電極15と成る導電膜21を形成する前に、ステップカバレッジの良い第二ゲート絶縁膜14を形成する事に依り、半導体膜12の側面部を第二ゲート絶縁膜14で覆って居る。それ故ショートによる不良品数を激減させる事と成る。

【0178】又半導体膜12をパターンニングする前に第一ゲート絶縁膜13を形成して置くので、レジストマスク22は第一ゲート絶縁膜13の表面に形成され、半導体膜12の表面には形成されない。それ故半導体膜12の表面はレジストで汚染されず、チャネル領域17とゲート絶縁膜13との間のMOS界面状態が際立って良好で有る。

50 【0179】尚本願発明では第一ゲート絶縁膜13を形成した後に、TFIT製造装置400から基板10を取り

出し、最良の結果が得られた。しかしながら図23

(D)に示した様に、結晶化処理ST13の終了後に半導体膜12の表面を水素プラズマや酸素プラズマの照射で安定化した後で有れば、基板を外に取り出す事も有る。即ち図23(D)のプラズマ処理終了後、従来と同じ工程にてTF Tを作成する事も可能で有る。斯様な工程を採用した場合、MOS界面は本願発明よりは劣る物の、従来のTF Tに比較して同じ工程で遥かに優れた特性を有するTF Tを作成する事が出来る。

【0180】[第5実施例]次に図24を参照して、本例のTF Tの製造方法を説明する。尚本例のTF Tの製造方法は図24に示す工程に先立って、第4実施例と同様図23(A)に示す工程から図23(E)に示す工程を行う。本例でも図23(B)に示す工程から図23(E)に示す工程は図22に示すTF T製造装置400内で連続処理する。そこで本例のTF Tの製造方法の製造方法の内図23(A)に示す工程から図23(D)に示す工程は説明を省略し、図23(E)に示す工程から説明する。尚本例は図8を参照して説明した製造方法に対応する。

【0181】(第一工程ST1H)図23(A)に示す基板10をTF T製造装置400に入れた後、図23(E)に示す第一ゲート絶縁膜形成迄の工程は第4実施例の第一工程と全く同じで有る。

【0182】(第二工程ST2H)次に図24(A)に示す様に所定のマスクパターンのレジストマスク22を形成し、図24(B)に示す様に第一ゲート絶縁膜13と共に半導体膜12をフォトリソグラフィ技術を用いてパターンニングする(パターンニング工程)。

【0183】(第三工程ST3H)次に図24(C)に示す様に第一ゲート絶縁膜13を減圧下でのドライエッチングに依り除去する(第一ゲート絶縁膜清浄化処理)。この工程はフッ化水素酸水溶液等を用いたウェット処理で有っても良い。

【0184】(第四工程ST4H)次に図24(D)に示す様にプラズマCVD法等に依り基板温度が約150℃から約450℃の温度条件下で、基板10の全面にシリコン酸化膜や窒化シリコン膜からなる第二ゲート絶縁膜14を形成する。その結果半導体膜12はその表面及び側面部が第二ゲート絶縁膜14に依って覆われる(第二ゲート絶縁膜形成工程)。この工程も第4実施例の第二ゲート絶縁膜形成処理と同様である。第三工程をドライ工程で行う場合は第四工程と連続して行い、エッチングガスとしては水素や酸素を用いるのが好ましいのは先の実施例と同様で有る。

【0185】(第四工程以降の工程)それ以降の工程は第1実施例と同様で有る為、それらの説明を省略する。

【0186】(第5実施例の効果)斯様な製造方法では第4実施例の総ての効果を有するのに加えて、次の効果を有する。図24(B)に示す様に半導体膜12をフォ

トリソグラフィ技術を用いてパターンニングする時に第一ゲート絶縁膜13の表面がレジストマスク22に依って汚染されるが、汚染された第一ゲート絶縁膜13は全部又は大部分が除去される。ドライ工程では特に、その後大気に触れる事なく連続して清浄な第二ゲート絶縁膜14を堆積するので、TF Tの電気的特性が安定する。然も第一ゲート絶縁膜を除去した分だけ第二ゲート絶縁膜14を厚く出来るので、半導体膜12の側面部の被覆はより完全な物と成る。

【0187】尚第5実施例ではレジストマスク22に依って汚染された第一ゲート絶縁膜13を略完全に除去したが、実際にはその表面だけがレジストで汚染されるので、第一ゲート絶縁膜13の表面だけを除去してもよい。この場合には半導体膜12の表面が全く露出しないので、第一ゲート絶縁膜13のエッチングを仮令ウェットエッチングに依り行っても、エッチング液に依って半導体膜12が汚染される事はない。

【0188】[第4実施例と第5実施例に関連する他の実施例]ここ迄下地保護膜11及び真性のアモルファスシリコン膜からなる半導体膜12の形成にはプラズマCVD法を用いて説明して来たが、それに代えてスパッタ法を用いてもよい。更に水素化処理ST14などはマイクロ波に依る励起と電磁石の共鳴現象とを利用したECR-CVD装置を用いてもよい。

【0189】半導体膜12の不對結合を終端化すると云う観点からすれば、水素化処理ST14(水素プラズマ処理)に代えて酸化処理ST15(酸素プラズマ処理)だけを行ってもよい。又水素化処理ST14と酸化処理ST15の双方を行う場合に、シリコン原子を出来るだけ酸化すると云う観点からすれば、酸化処理ST15の後に水素化処理ST14を行った方がよい。

【0190】TF T製造装置としてはCVD室が1つで有る装置でなくても、図9、10、11、20、21等に示す様に、使用する目的別に其々別個のCVD室を有する装置であってもよい。又CVD室とアニール室とが直接連結された構造の装置であってもよい。

【0191】第一ゲート絶縁膜13と第二ゲート絶縁膜14とについては双方をシリコン酸化膜とする事に依って空間電荷の影響を抑える事が出来るが、第一ゲート絶縁膜13をシリコン酸化膜とし第二ゲート絶縁膜14酸化アルミニウムや酸化タンタルの様に異なった絶縁膜としても良い。

【0192】

【発明の効果】以上説明した様に本発明に係るTF Tの製造方法では、下地保護膜から半導体膜の形成、及び第一ゲート絶縁膜形成迄は基板を大気に晒さない。その後第一ゲート絶縁膜と半導体膜をパターンニングした後に第二ゲート絶縁膜を形成する事に特徴を有する。従って本発明に依れば、アニール処理を行った後に結晶化した半導体膜の表面は酸化や汚染を受ける事が無い。この為チ

ャネル領域／ゲート絶縁膜の界面状態が良いので、TF Tのオン電流や閾値電圧等と云った電気的特性が向上する。又半導体膜をパターンニングする前に第一ゲート絶縁膜を形成して置くので、レジストマスクは半導体膜の表面には形成されない。それ故半導体膜はレジストで汚染されず、又下地保護膜表面等からの汚染もなく、高純度で高品質の結晶性半導体膜が得られる。更に第一ゲート絶縁膜及び半導体膜をパターンニングした後は第二ゲート絶縁膜を形成し、半導体膜の側面を覆うためショートが発生しない。それ故本発明に依れば歩留りや信頼性が向上する。

【0193】第一ゲート絶縁膜及び半導体膜に急速加熱処理を行う場合には半導体膜の結晶化率が高まる等、良質の半導体膜を得る事が出来る。又第一ゲート絶縁膜も均一に緻密化する。従って第一ゲート絶縁膜として良質の物を得る事が出来るので、それを用いて製造したTF Tは更に信頼性が高い。

【0194】第一ゲート絶縁膜に水素化処理を行い、しかる後に第二ゲート絶縁膜を形成する場合には、第一ゲート絶縁膜は先の急速加熱処理で加熱されたときに水素を放出し劣化したとしてもこの水素化処理に依って劣化を修復出来る。

【0195】第二ゲート絶縁膜としての酸化膜を形成する際に熱処理を行う場合には半導体膜からストレスが開放される。それ故良質の半導体膜を得る事が出来る。この時第一ゲート絶縁膜も加熱され緻密化するので、それを用いて製造したTF Tは信頼性が高い。

【図面の簡単な説明】

【図1】 本発明の第1形態に係るTF T製造方法を示す工程図で有る。

【図2】 本発明の第2形態に係るTF T製造方法を示す工程図で有る。

【図3】 本発明の第3形態に係る別のTF T製造方法を示す工程図で有る。

【図4】 本発明の第4形態に係るTF T製造方法を示す工程図で有る。

【図5】 本発明の第5形態に係るTF T製造方法を示す工程図で有る。

【図6】 本発明の第6形態に係る別のTF T製造方法を示す工程図で有る。

【図7】 本発明の第7形態に係るTF T製造方法を示す工程図で有る。

【図8】 本発明の第8形態に係る別のTF T製造方法を示す工程図で有る。

【図9】 TF Tの製造装置の一例を模式的に示す概略構成図で有る。

【図10】 TF Tの製造装置を真空系装置として構成した場合の一例を模式的に示す概略構成図で有る。

【図11】 TF Tの製造装置を大気圧系装置として構成した場合の一例を模式的に示す概略構成図で有る。

【図12】 図9に示すTF Tの製造装置に於けるプラズマCVD室の構成図で有る。

【図13】 図9に示すTF Tの製造装置に於ける結晶化室の構成図で有る。

【図14】 本発明の第1実施例に係るTF T製造方法の一部を示す工程断面図で有る。

【図15】 急速加熱処理工程で用いる別の急速加熱処理装置の説明図で有る。

【図16】 本発明の第1実施例のTF T製造方法に於いて、図14に示す工程に続いて行う工程を示す工程断面図で有る。

【図17】 本発明の第2実施例に係るTF T製造方法の一部を示す工程断面図で有る。

【図18】 本発明の第2実施例のTF T製造方法に於いて、図17に示す工程に続いて行う工程を示す工程断面図で有る。

【図19】 本発明の第3実施例に係るTF T製造方法の一部を示す工程断面図で有る。

【図20】 図9に示す装置とは別のTF Tの製造装置の一例を模式的に示す概略構成図で有る。

【図21】 図9に示す装置とは更に別のTF Tの製造装置の一例を模式的に示す概略構成図で有る。

【図22】 更に別のTF Tの製造装置の一例を模式的に示す概略構成図で有る。

【図23】 本発明の第4実施例及び第5実施例に係るTF T製造方法の一部を示す工程断面図で有る。

【図24】 本発明の第5実施例のTF T製造方法に於いて、図23に示す工程に続いて行う工程を示す工程断面図で有る。

【図25】 従来のTF T製造方法の一部を示す工程断面図で有る。

【図26】 従来のTF T製造方法に於いて、図25に示す工程に続いて行う工程を示す工程断面図で有る。

【図27】 別の従来のTF T製造方法の一部を示す工程断面図で有る。

【図28】 別の従来のTF T製造方法に於いて、図27に示す工程に続いて行う工程を示す工程断面図で有る。

【図29】 本発明に於いて第一ゲート絶縁膜への熱処理前後のシリコン原子と酸素原子との結合の状態を示す説明図で有る。

【図30】 本発明に於いて第一ゲート絶縁膜への熱処理前後のフラットバンドを示す説明図で有る。

【符号の説明】

10・・・基板

11・・・下地保護膜

12・・・半導体膜

13・・・第一ゲート絶縁膜

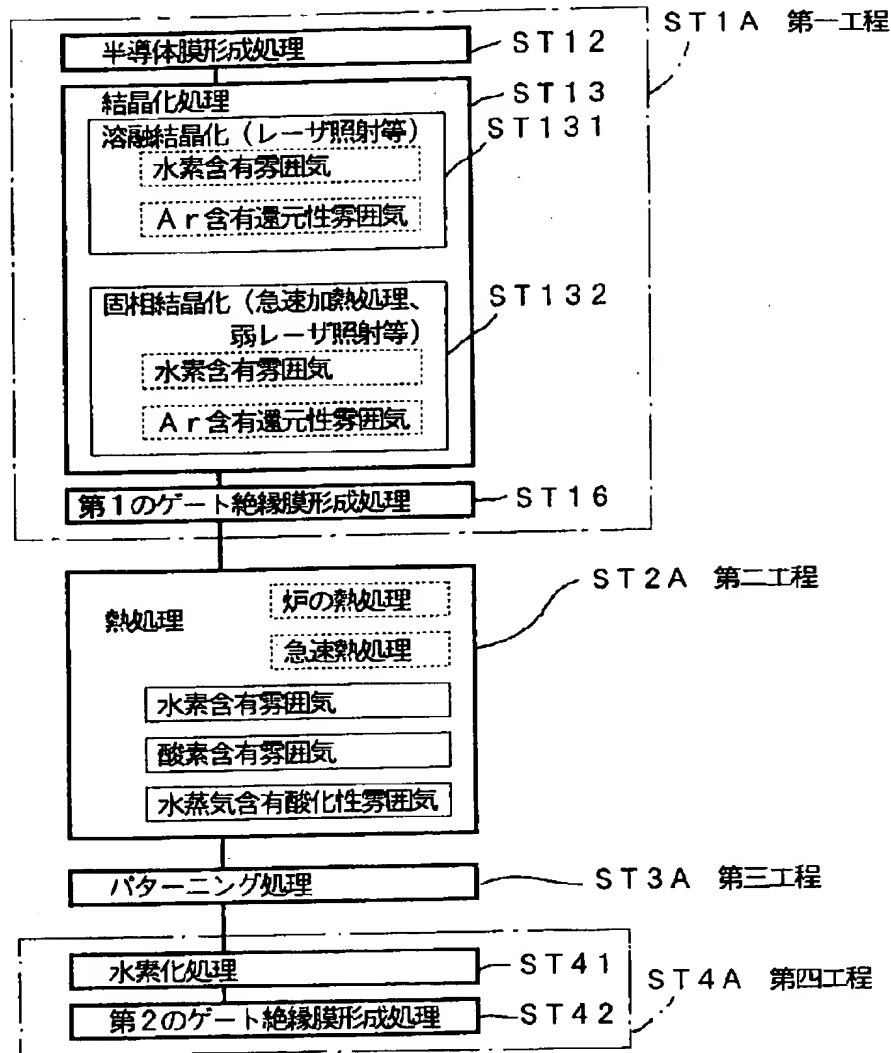
14・・・第二ゲート絶縁膜

15・・・ゲート電極

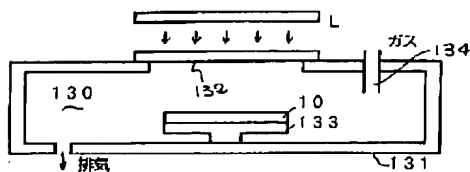
16・・・ソース・ドレイン領域  
 17・・・チャネル領域  
 18・・・層間絶縁膜  
 19・・・コンタクトホール  
 20・・・ソース・ドレイン電極

\* 21・・・導電膜  
 22・・・レジストマスク  
 30・・・TFT  
 100、100A、100B、400・・・TFT製造  
 \* 装置

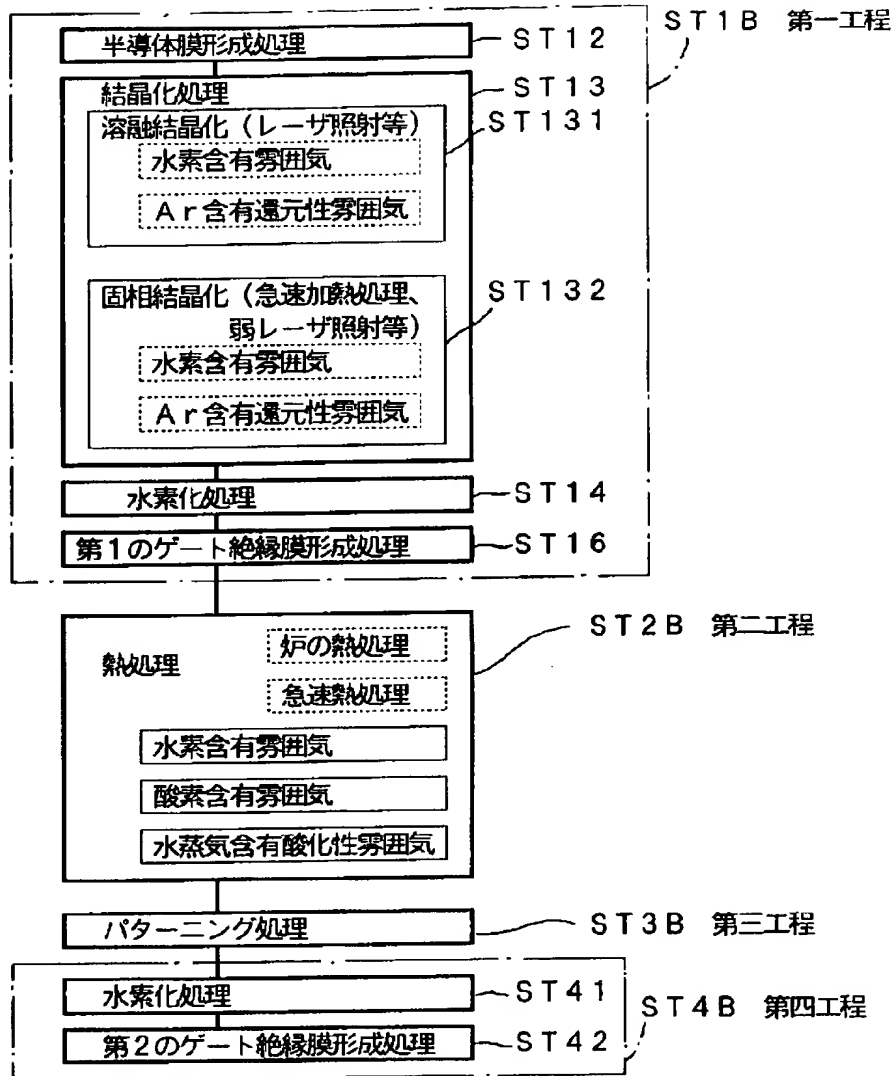
【図1】



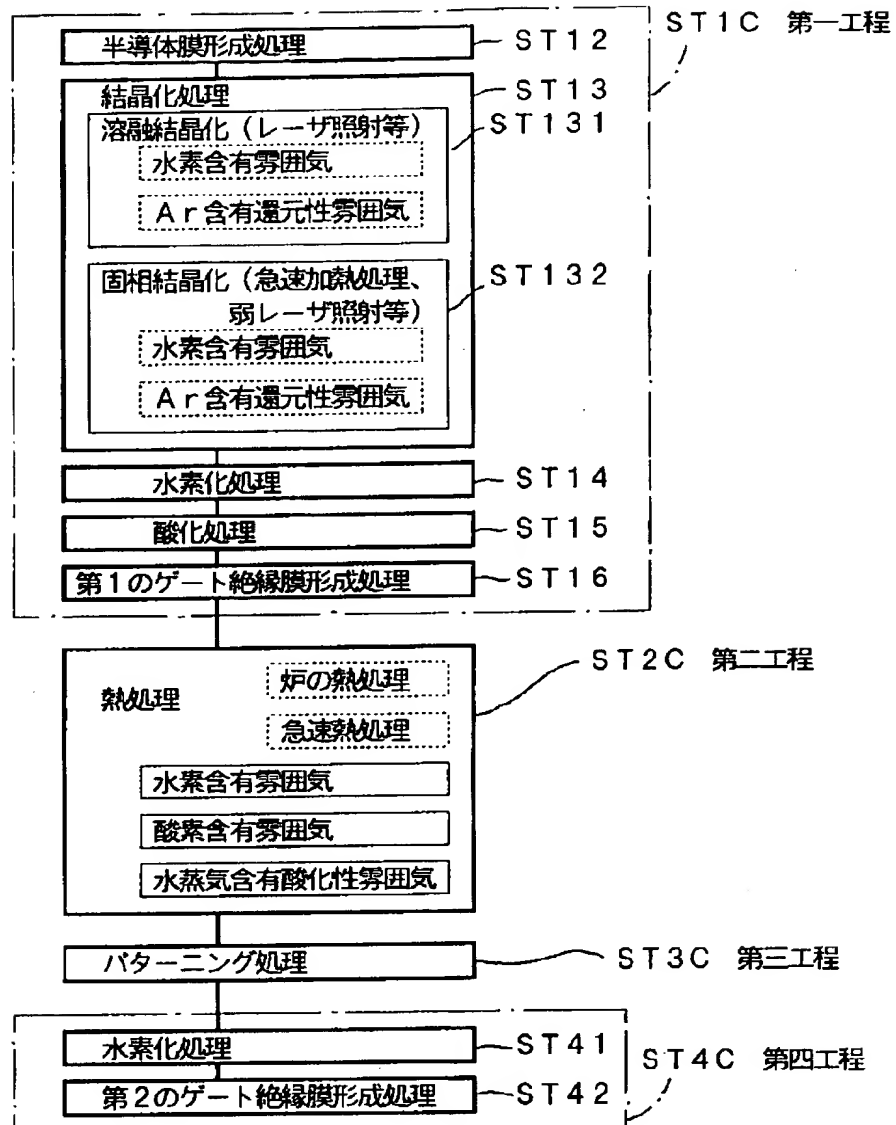
【図13】



【図2】

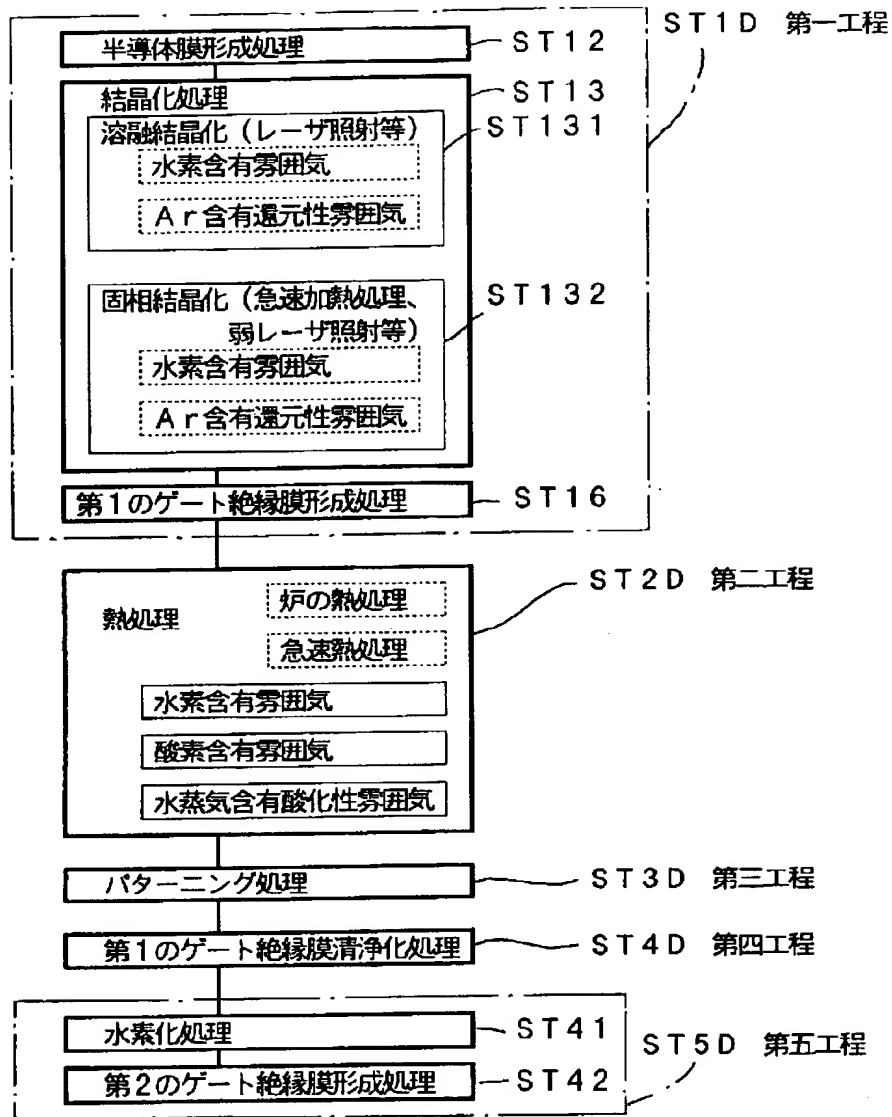


【図3】

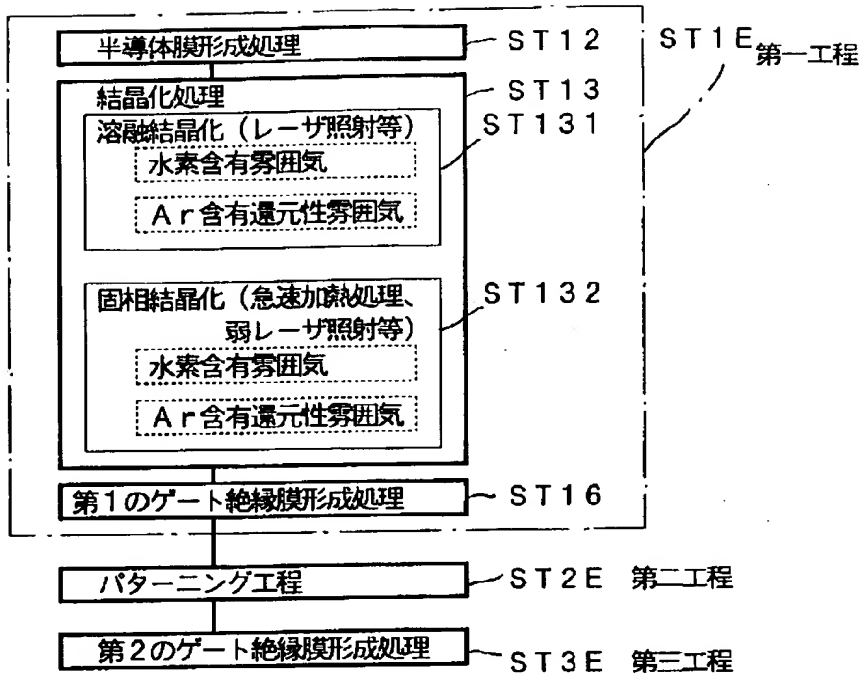




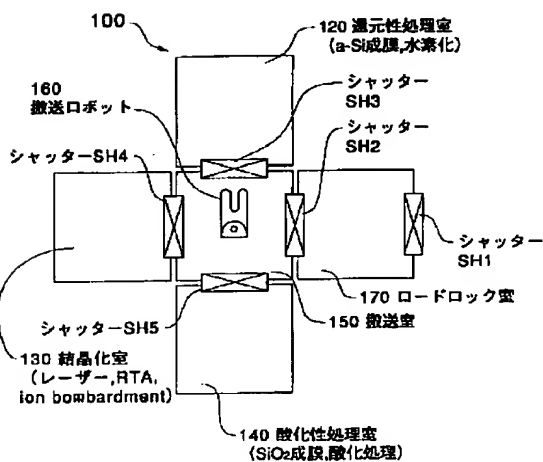
【図4】



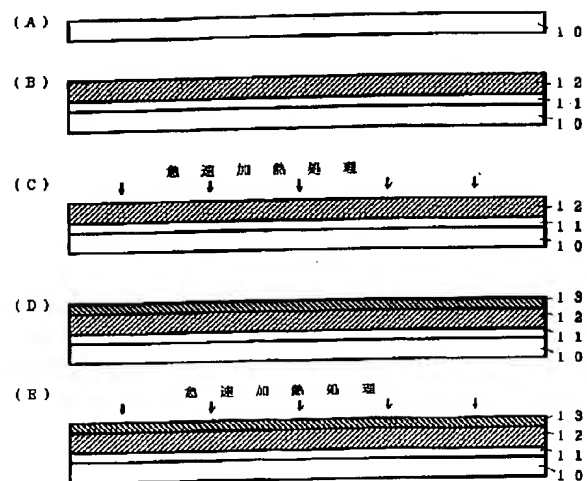
【図5】



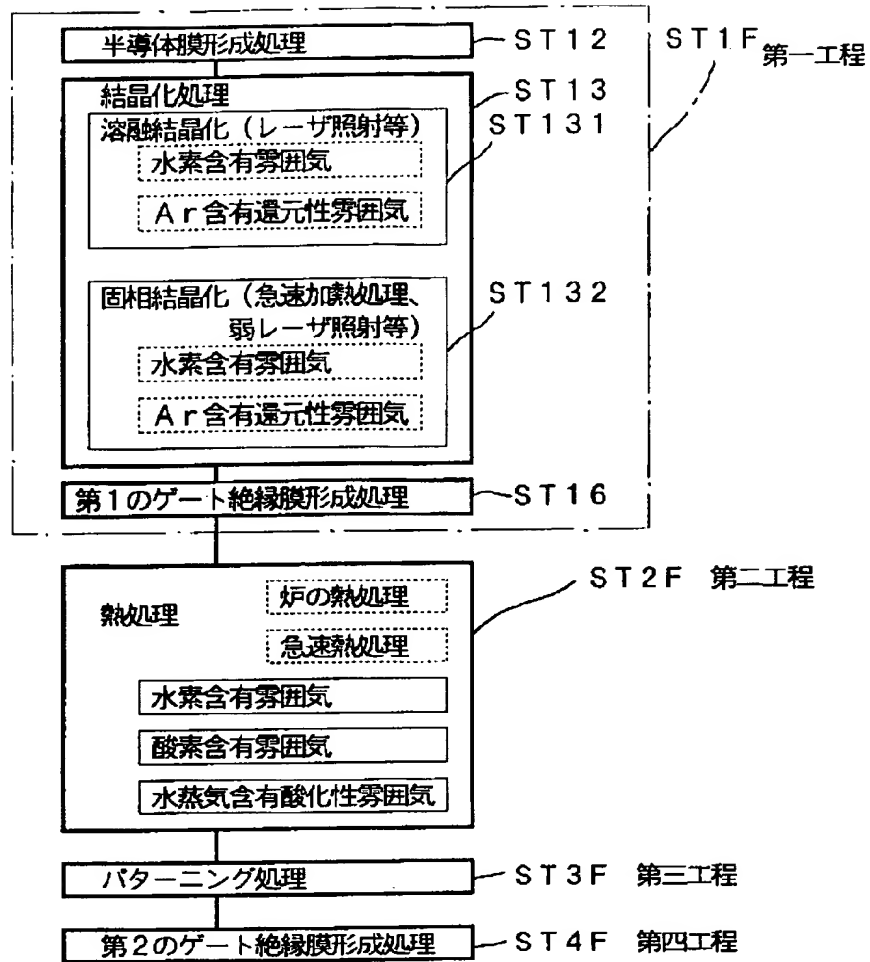
【図9】



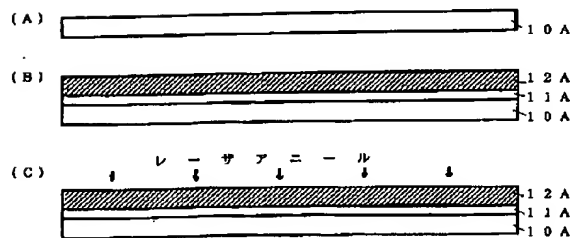
【図17】



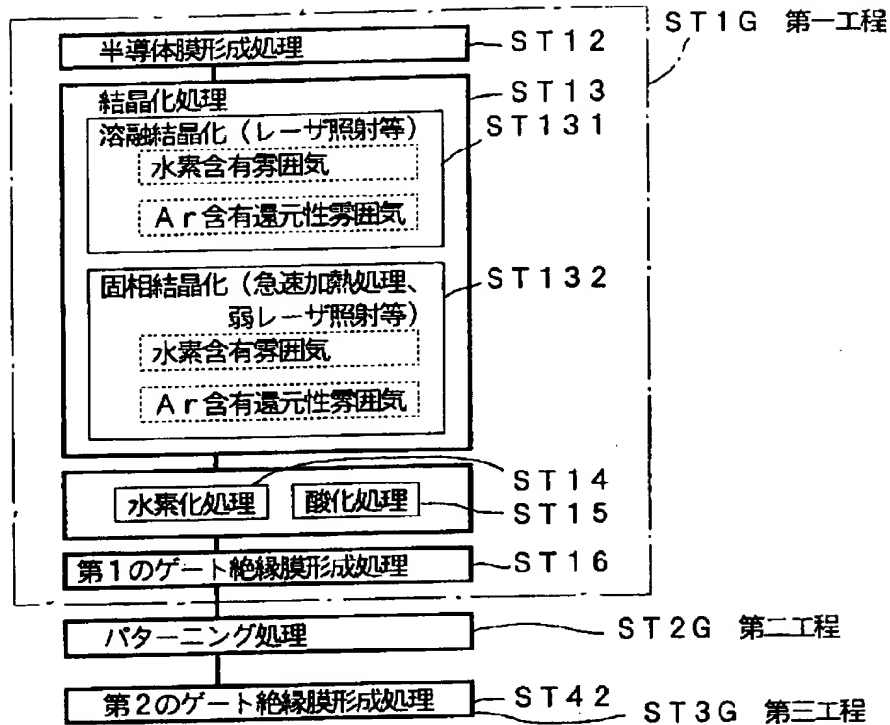
【図6】



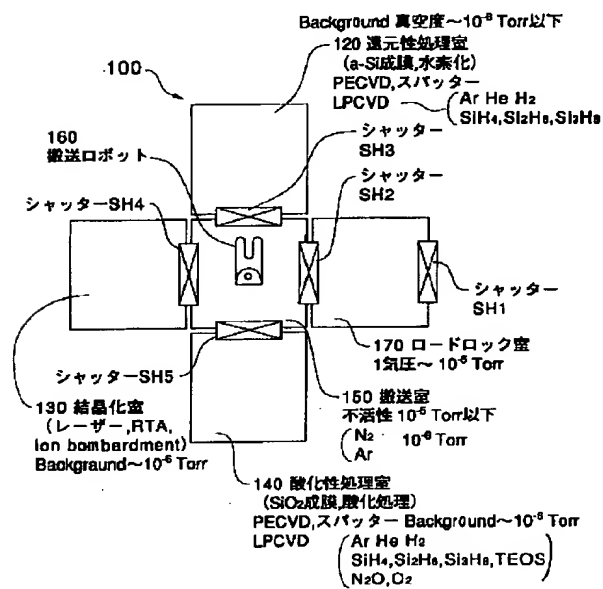
【図25】



【図7】

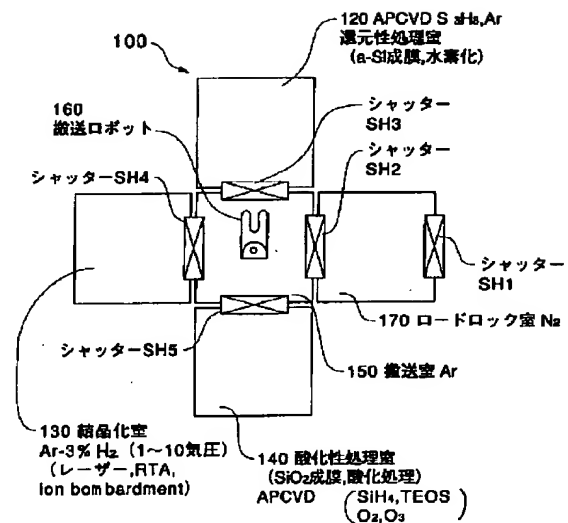


【図10】



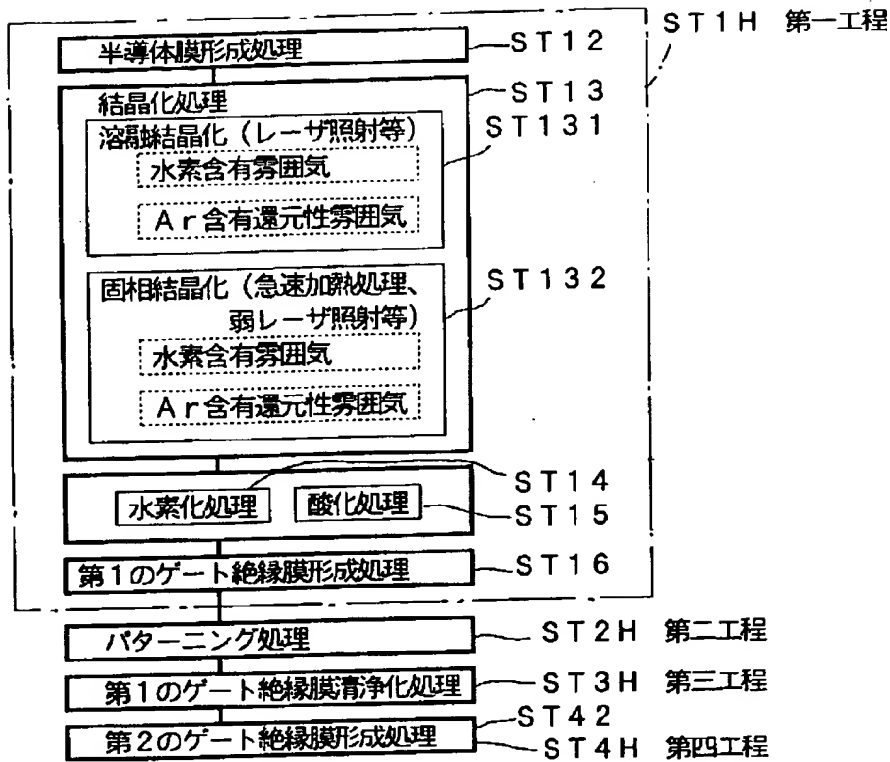
〈真空系装置〉

【図11】

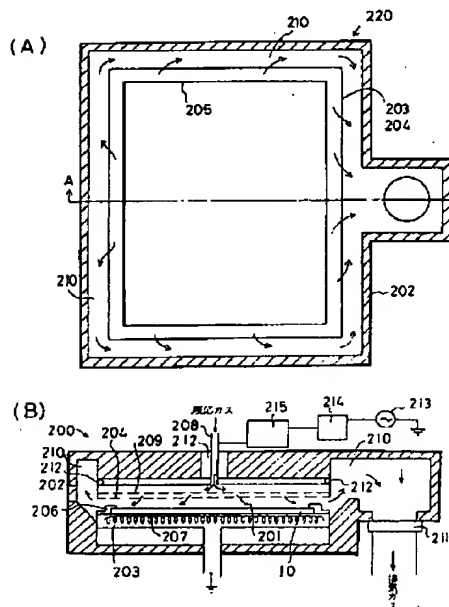


〈大気圧系装置〉

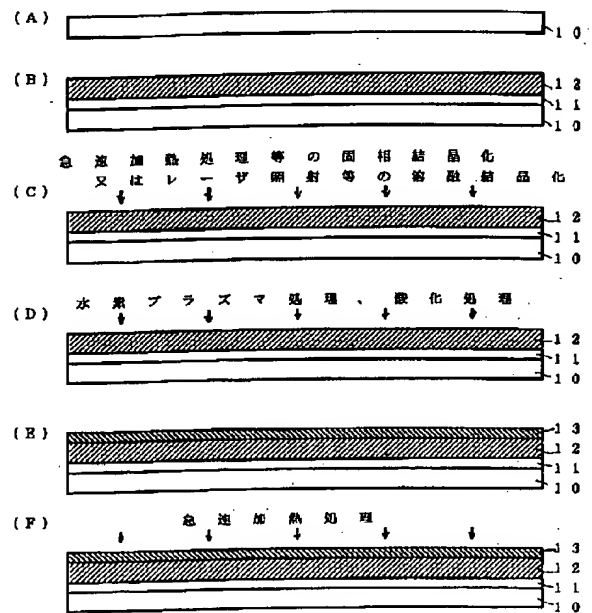
【図8】



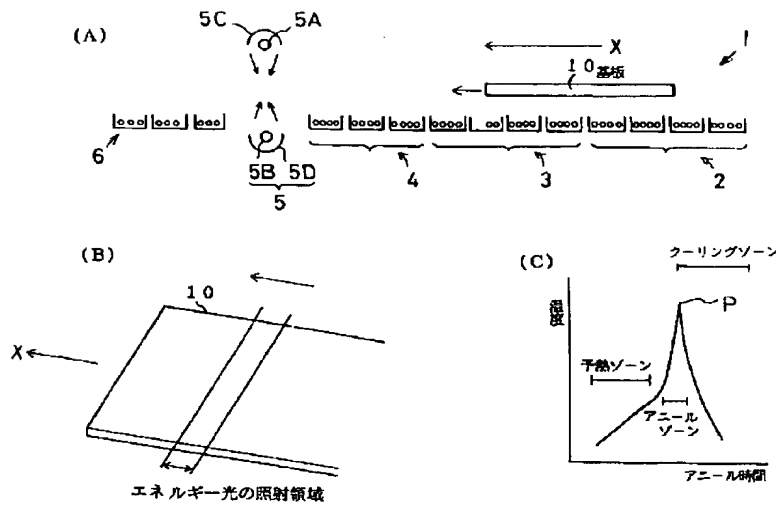
【図12】



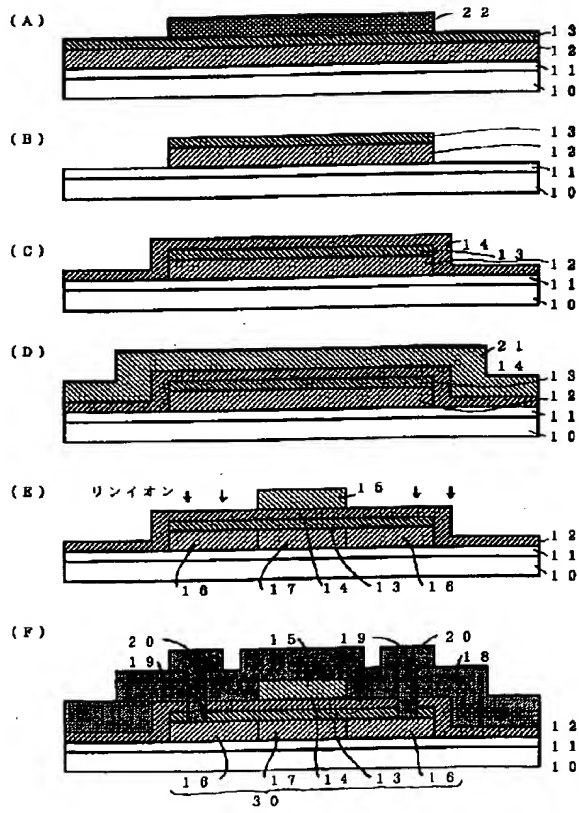
【図14】



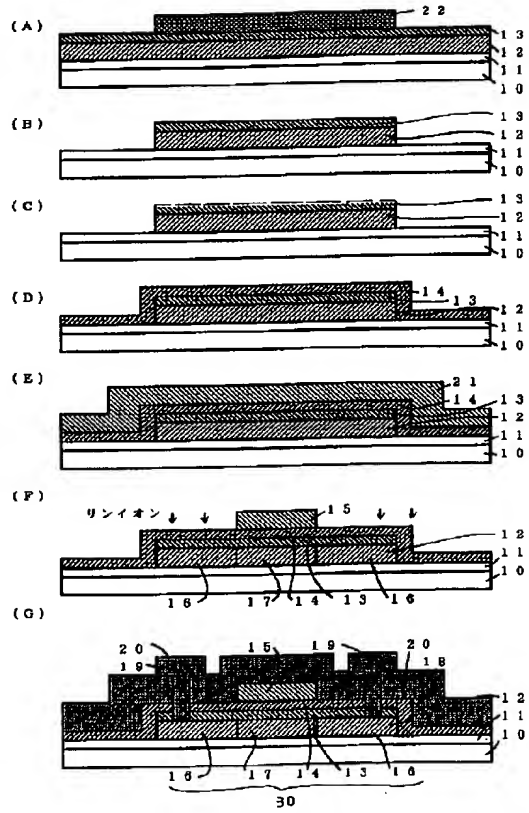
【図15】



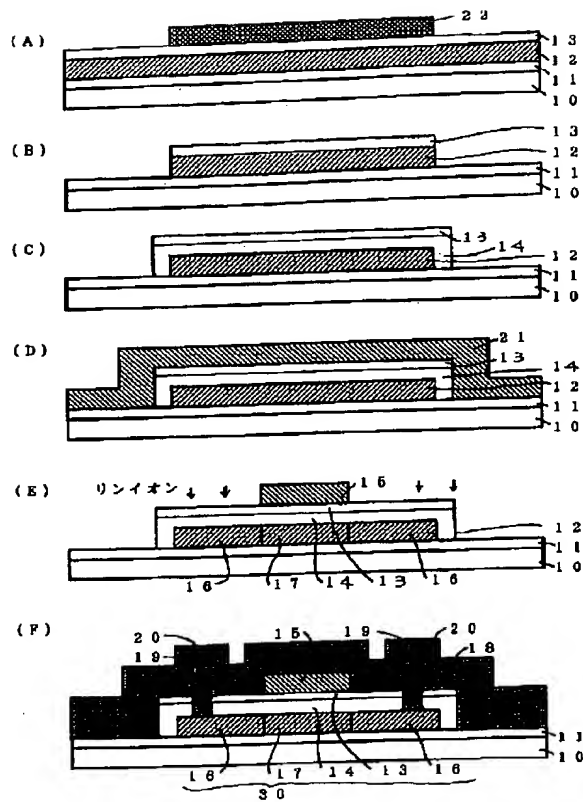
【図16】



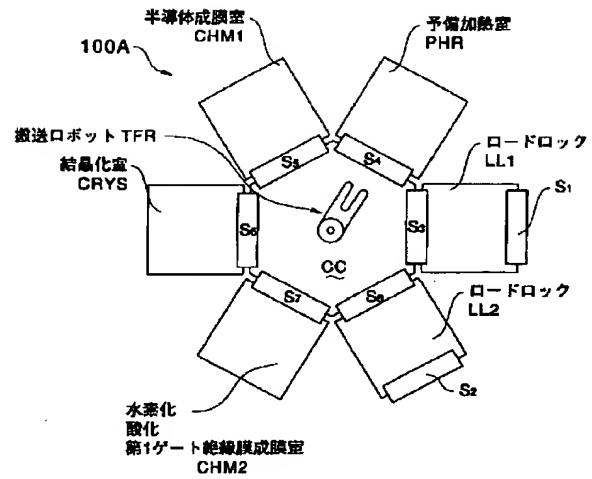
【図18】



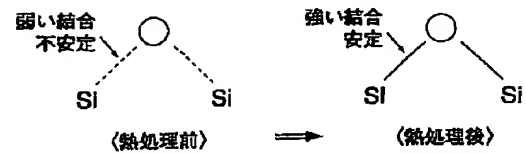
【図19】



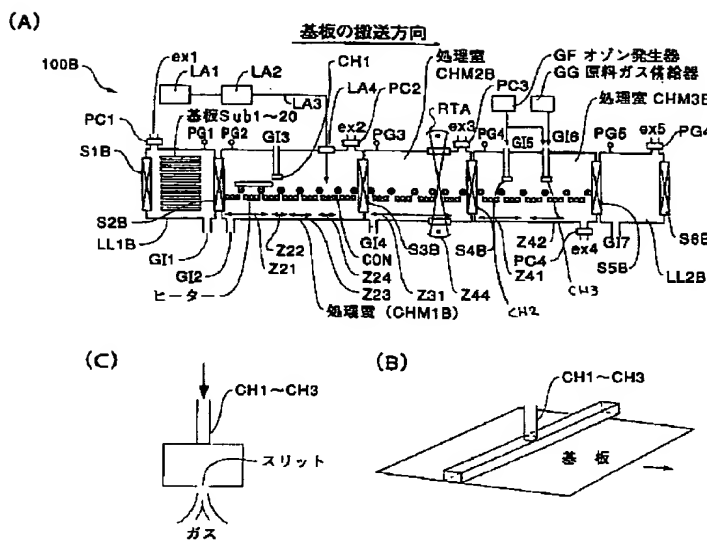
【図20】



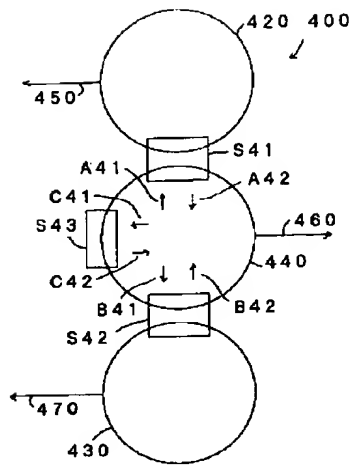
【図29】



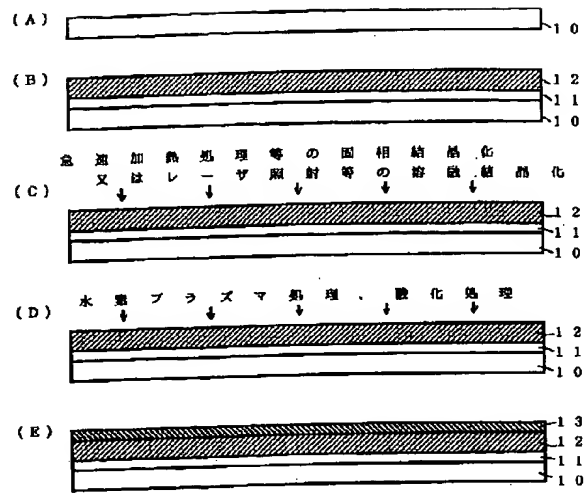
【図21】



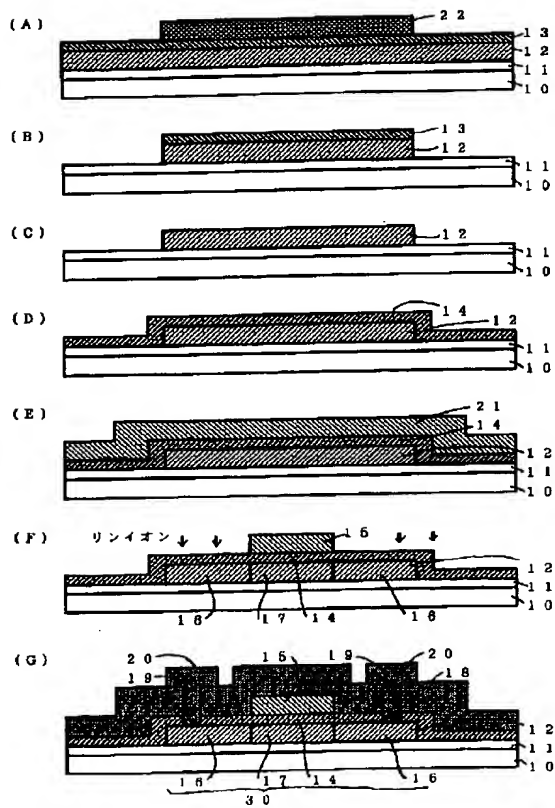
【図22】



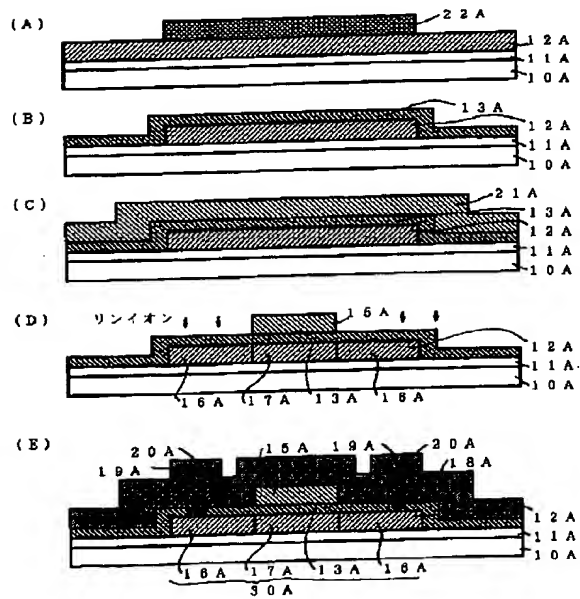
【図23】



【図24】

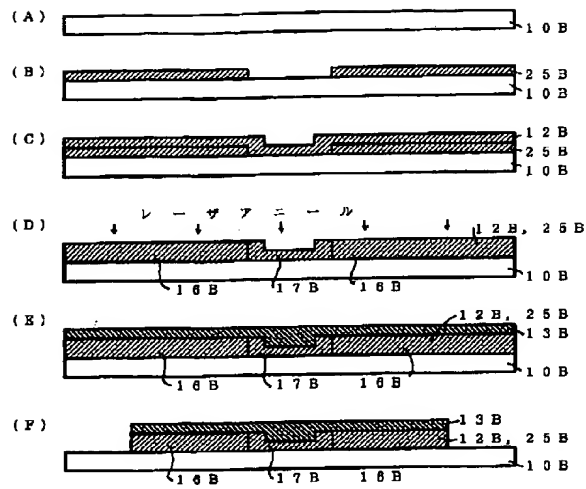


【図26】

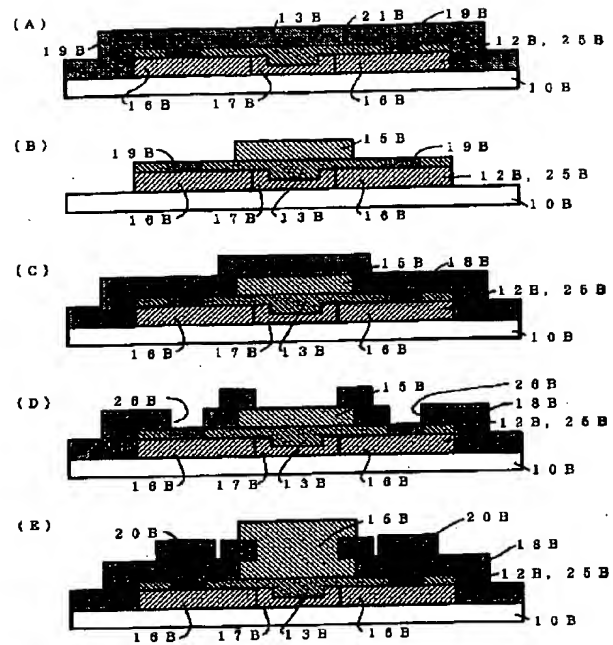




【図27】



【図28】



【図30】

